



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0021118
Application Number

출원 년 월 일 : 2003년 04월 03일
Date of Application APR 03, 2003

출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.

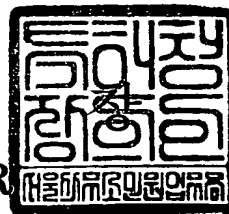


op4018.

2004 년 02 월 09 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.04.03
【발명의 명칭】	수평 전계 인가형 박막 트랜지스터 어레이 기판 및 그 제조 방법
【발명의 영문명칭】	THIN FILM TRANSISTOR ARRAY SUBSTRATE OF HORIZONTAL ELECTRONIC FIELD APPLYING TYPE AND FABRICATING METHOD THEREOF
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001050-4
【발명자】	
【성명의 국문표기】	임병호
【성명의 영문표기】	LIM,Byoung Ho
【주민등록번호】	621125-1117215
【우편번호】	730-764
【주소】	경상북도 구미시 봉곡동 391번지 현대아파트 101동 902호
【국적】	KR
【발명자】	
【성명의 국문표기】	안병철
【성명의 영문표기】	AHN,Byung Chul
【주민등록번호】	560115-1005322
【우편번호】	431-070
【주소】	경기도 안양시 동안구 평촌동 899-2 향촌아파트 203동 903호
【국적】	KR
【심사청구】	청구



1020030021118

출력 일자: 2004/2/12

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
김영호 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	41	면	41,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	26	항	941,000	원
【합계】	1,011,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 구조 및 마스크 공정 수를 절감할 수 있는 수평 전계 인가형 박막 트랜지스터 어레이 기판 및 그 제조 방법에 관한 것이다.

본 발명의 수평 전계 인가형 박막 트랜지스터 어레이 기판은 게이트 라인과, 상기 게이트 라인과 평행하게 형성된 공통 라인과, 상기 게이트 라인 및 공통 라인과 게이트절연막을 사이에 두고 교차하여 화소 영역을 결정하는 데이터 라인과, 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터와, 상기 화소 영역에 형성되고 상기 공통 라인과 접속되는 공통 전극과, 상기 화소 영역에 상기 데이터 라인에 포함되는 적어도 하나의 도전층으로 형성되어 상기 박막트랜지스터와 접속되며 상기 공통전극과 나란하게 형성되어 상기 공통전극과 수평전계를 이루는 핑거부를 포함하는 화소전극과, 상기 박막트랜지스터의 채널부를 형성하며 적어도 상기 화소전극의 핑거부와 동일 폭을 갖도록 형성된 반도체층을 구비하는 것을 특징으로 한다.

【대표도】

도 5

【명세서】

【발명의 명칭】

수평 전계 인가형 박막 트랜지스터 어레이 기판 및 그 제조 방법{THIN FILM TRANSISTOR ARRAY SUBSTRATE OF HORIZONTAL ELECTRONIC FIELD APPLYING TYPE AND FABRICATING METHOD THEREOF}

【도면의 간단한 설명】

도 1은 종래의 수평 전계 인가형 액정 표시 장치 중 박막 트랜지스터 어레이 기판을 도시한 평면도.

도 2는 도 1에 도시된 박막 트랜지스터 어레이 기판을 선 "I-I'", "II-II'"을 따라 절단하여 도시한 단면도.

도 3a 내지 도 3d는 도 2에 도시된 박막 트랜지스터 어레이 기판의 제조 방법을 단계적으로 도시한 단면도들.

도 4는 본 발명의 실시 예에 따른 수평 전계 인가형 액정 표시 장치 중 박막 트랜지스터 어레이 기판을 도시한 평면도.

도 5는 도 4에 도시된 박막 트랜지스터 어레이 기판을 선 "III-III'", "IV-IV'"을 따라 절단하여 도시한 단면도.

도 6a 및 도 6b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 7a 내지 도 7c는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판의 제조 방법 중 제1 마스크 공정을 구체적으로 설명하기 위한 단면도.

도 8a 및 도 8b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판의 제조 방법 중 제2 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 9a 내지 도 9e는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판의 제조 방법 중 제2 마스크 공정을 구체적으로 설명하기 위한 단면도.

도 10a 내지 도 10b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판의 제조 방법 중 제3 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 11a 내지 도 11d는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판의 제조 방법 중 제3 마스크 공정을 구체적으로 설명하기 위한 단면도.

도 12는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판에서 제1 구조를 갖는 패드들과 화소전극을 도시한 단면도.

도 13은 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판에서 제2 구조를 갖는 패드들과 화소전극을 도시한 단면도.

도 14는 본 발명의 실시 예에 따른 액정 표시 장치를 도시한 평면도.

도 15는 도 14에 도시된 액정 표시 장치를 도시한 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

2, 102 : 게이트 라인

4, 104 : 데이터 라인

6, 106 : 박막 트랜지스터

8, 108 : 게이트 전극



10 : 소스 전극	12, 112 : 드레인 전극
13, 27, 33, 39 : 접촉홀	14, 114 : 화소 전극
16, 116 : 공통 라인	18, 118 : 공통 전극
20, 120 : 스토리지 캐패시터	22, 122 : 스토리지 전극
24, 124 : 게이트 패드	26 : 게이트 패드 하부 전극
28 : 게이트 패드 상부 전극	30, 130 : 데이터 패드
32 : 데이터 패드 하부 전극	34 : 데이터 패드 상부 전극
36, 136 : 공통 패드	38 : 공통 패드 하부 전극
40 : 공통 패드 상부 전극	42, 142 : 제1 게이트 금속층
44, 144 : 제2 게이트 금속층	45, 145 : 기판
46, 146 : 게이트 절연막	48, 148 : 활성층
50, 150 : 오믹접촉층	52, 152 : 보호막
147 : 제1 반도체층	149 : 제2 반도체층
154 : 제1 소스/드레인 금속층	156 : 제2 소스/드레인 금속층
127, 133, 139 : 접촉홀	160 : 제2 마스크
162 : 마스크 기판	164 : 차단부
166 : 회절 노광부	168 : 포토레지스트 패턴
174 : 게이트 TCP	176 : 데이터 TCP
172 : 베이스 필름	174, 176, 178 : TCP 패드

182 : ACF

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <39> 본 발명은 수평 전계를 이용하는 박막 트랜지스터 어레이 기판에 관한 것으로, 특히 구조 및 공정을 단순화시킬 수 있는 수평 전계 인가형 박막 트랜지스터 어레이 기판 및 그 제조 방법에 관한 것이다.
- <40> 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계 인가형과 수평 전계 인가형으로 대별된다.
- <41> 수직 전계 인가형 액정 표시 장치는 상하부 기판에 대향하게 배치된 화소 전극과 공통 전극 사이에 형성되는 수직 전계에 의해 TN(Twisted Nemastic) 모드의 액정을 구동하게 된다. 이러한 수직 전계 인가형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.
- <42> 수평 전계 인가형 액정 표시 장치는 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인 플레인 스위치(In Plane Switch; 이하, IPS라 함) 모드의 액정을 구동하게 된다. 이러한 수평 전계 인가형 액정 표시 장치는 시야각이 160도 정도로 넓은 장점을 가진다. 이하, 수평 전계 인가형 액정 표시 장치에 대하여 상세히 살펴보기로 한다.

- <43> 수평 전계 인가형 액정 표시 장치는 서로 대향하여 합착된 박막 트랜지스터 어레이 기판(하판) 및 칼라 필터 어레이 기판(상판)과, 두 기판 사이에서 셀갭을 일정하게 유지시키기 위한 스페이서와, 그 셀갭에 채워진 액정을 구비한다.
- <44> 박막 트랜지스터 어레이 기판은 화소 단위의 수평 전계 형성을 위한 다수의 신호 배선들 및 박막 트랜지스터와, 그들 위에 액정 배향을 위해 도포된 배향막으로 구성된다. 칼라 필터 어레이 기판은 칼라 구현을 위한 칼라 필터 및 빛샘 방지를 위한 블랙 매트릭스와, 그들 위에 액정 배향을 위해 도포된 배향막으로 구성된다.
- <45> 이러한 액정 표시 장치에서 박막 트랜지스터 어레이 기판은 반도체 공정을 포함함과 아울러 다수의 마스크 공정을 필요로 함에 따라 제조 공정이 복잡하여 액정 패널 제조 단가 상승의 중요 원인이 되고 있다. 이를 해결하기 위하여, 박막 트랜지스터 어레이 기판은 마스크 공정수를 줄이는 방향으로 발전하고 있다. 이는 하나의 마스크 공정이 박막 증착 공정, 세정 공정, 포토리소그래피 공정, 식각 공정, 포토레지스트 박리 공정, 검사 공정 등과 같은 많은 공정을 포함하고 있기 때문이다. 이에 따라, 최근에는 박막 트랜지스터 어레이 기판의 표준 마스크 공정이던 5 마스크 공정에서 하나의 마스크 공정을 줄인 4 마스크 공정이 대두되고 있다.
- <46> 도 1은 종래의 4마스크 공정을 이용한 수평 전계 인가형 액정 표시 장치의 박막 트랜지스터 어레이 기판을 도시한 평면도이고, 도 2는 도 1에서 선 "I-I'", "II-II'"를 따라 절취한 박막 트랜지스터 어레이 기판을 도시한 단면도이다.
- <47> 도 1 및 도 2에 도시된 박막 트랜지스터 어레이 기판은 하부 기판(45) 위에 게이트 절연막(46)을 사이에 두고 교차하게 형성된 게이트 라인(2) 및 데이터 라인(4)과, 그 교차부마다 형성된 박막 트랜지스터(6)와, 그 교차 구조로 마련된 화소 영역에 수평 전계를 형성하도록 형

성된 화소 전극(14) 및 공통 전극(18)과, 공통 전극(18)과 접속된 공통 라인(16)을 구비한다. 그리고, 도 1 및 도 2에 도시된 박막 트랜지스터 어레이 기판은 화소 전극(14)과 공통 라인(16)의 중첩부에 형성된 스토리지 캐패시터(20)와, 게이트 라인(2)과 접속된 게이트 패드(24)와, 데이터 라인(4)과 접속된 데이터 패드(33)와, 공통 라인(16)과 접속된 공통 패드(36)를 추가로 구비한다.

- <48> 게이트 신호를 공급하는 게이트 라인(2)과 데이터 신호를 공급하는 데이터 라인(4)은 교차 구조로 형성되어 화소 영역(5)을 정의한다.
- <49> 액정 구동을 위한 기준 전압을 공급하는 공통 라인(16)은 화소 영역(5)을 사이에 두고 게이트 라인(2)과 나란하게 형성된다.
- <50> 박막 트랜지스터(6)는 게이트 라인(2)의 게이트 신호에 응답하여 데이터 라인(4)의 화소 신호가 화소 전극(14)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(6)는 게이트 라인(2)에 접속된 게이트 전극(8)과, 데이터 라인(4)에 접속된 소스 전극(10)과, 화소 전극(14)에 접속된 드레인 전극(12)을 구비한다. 또한, 박막 트랜지스터(6)는 게이트 전극(8)과 게이트 절연막(46)을 사이에 두고 중첩되면서 소스 전극(10)과 드레인 전극(12) 사이에 채널을 형성하는 활성층(48)을 더 구비한다.
- <51> 그리고, 활성층(48)은 데이터 라인(4), 데이터 패드 하부 전극(32), 그리고 스토리지 전극(22)과도 중첩되게 형성된다. 이러한 활성층(48) 위에는 데이터 라인(4), 소스 전극(10), 드레인 전극(12), 데이터 패드 하부 전극(32), 그리고 스토리지 전극(22)과 오믹 접촉을 위한 오믹 접촉층(50)이 더 형성된다.

- <52> 화소 전극(14)은 보호막(52)을 관통하는 제1 접촉홀(13)을 통해 박막 트랜지스터(6)의 드레인 전극(12)과 접속되어 화소 영역(5)에 형성된다. 특히, 화소 전극(14)은 드레인 전극(12)과 접속되고 인접한 게이트 라인(2)과 나란하게 형성된 제1 수평부(14A)와, 공통 라인(16)과 중첩되게 형성된 제2 수평부(14B)와, 제1 및 제2 수평부(14A, 14B) 사이에 나란하게 형성된 핑거부(14C)를 구비한다.
- <53> 공통 전극(18)은 공통 라인(16)과 접속되어 화소 영역(5)에 형성된다. 특히, 공통 전극(18)은 화소 영역(5)에서 화소 전극(14)의 핑거부(14C)와 나란하게 형성된다.
- <54> 이에 따라, 박막 트랜지스터(6)를 통해 화소 신호가 공급된 화소 전극(14)과 공통 라인(16)을 통해 기준 전압이 공급된 공통 전극(18) 사이에는 수평 전계가 형성된다. 특히, 화소 전극(14)의 핑거부(14C)와 공통 전극(18) 사이에 수평 전계가 형성된다. 이러한 수평 전계에 의해 박막 트랜지스터 어레이 기판과 칼라 필터 어레이 기판 사이에서 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역(5)을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- <55> 스토리지 캐패시터(20)는 공통 라인(16)과, 그 공통 라인(16)과 게이트 절연막(46), 활성층(48), 그리고 오믹 접촉층(50)을 사이에 두고 중첩되는 스토리지 전극(22)과, 그 스토리지 전극(22)과 보호막(50)에 형성된 제2 접촉홀(21)을 통해 접속된 화소 전극(14)으로 구성된다. 이러한 스토리지 캐패시터(20)는 화소 전극(14)에 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 한다.
- <56> 게이트 라인(2)은 게이트 패드(24)를 통해 게이트 드라이버(미도시)와 접속된다. 게이트 패드(24)는 게이트 라인(2)으로부터 연장되는 게이트 패드 하부 전극(26)과, 게이트

절연막(46) 및 보호막(52)을 관통하는 제3 접촉홀(27)을 통해 게이트 패드 하부 전극(26)과 접속된 게이트 패드 상부 전극(28)으로 구성된다.

<57> 데이터 라인(4)은 데이터 패드(30)를 통해 데이터 드라이버(미도시)와 접속된다. 데이터 패드(30)는 데이터 라인(4)으로부터 연장되는 데이터 패드 하부 전극(32)과, 보호막(52)을 관통하는 제4 접촉홀(33)을 통해 데이터 패드 하부 전극(32)과 접속된 데이터 패드 상부 전극(34)으로 구성된다.

<58> 공통 라인(16)은 공통 패드(36)를 통해 외부의 기준 전압원(미도시)으로부터 기준 전압을 공급받게 된다. 공통 패드(36)는 공통 라인(16)으로부터 연장되는 공통 패드 하부 전극(38)과, 게이트 절연막(46) 및 보호막(52)을 관통하는 제5 접촉홀(39)을 통해 공통 패드 하부 전극(38)과 접속된 공통 패드 상부 전극(40)으로 구성된다.

<59> 이러한 구성을 가지는 박막 트랜지스터 어레이 기판의 제조 방법을 4마스크 공정을 이용하여 상세히 하면 도 3a 내지 도 3d에 도시된 바와 같다.

<60> 도 3a를 참조하면, 제1 마스크 공정을 이용하여 하부 기판(45) 상에 게이트 라인(2), 게이트 전극(8), 게이트 패드 하부 전극(26), 공통 라인(16), 공통 전극(18), 공통 패드 하부 전극(38)을 포함하는 제1 도전 패턴군이 형성된다.

<61> 이를 상세히 설명하면, 하부 기판(45) 상에 스퍼터링 방법 등의 증착 방법을 통해 제1 금속층(42)과 제2 금속층(44)이 순차적으로 증착됨으로써 이중 구조의 게이트 금속층이 형성된다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(2), 게이트 전극(8), 게이트 패드 하부 전극(26), 공통 라인(16), 공통 전극(18), 공통 패드 하부 전극(38)을 포함하는 제1 도전 패턴군이 형성된다. 여기서,

제1 금속층(42)으로는 알루미늄계 금속 등이 이용되고, 제2 금속층(44)으로는 크롬(Cr) 또는 몰리브덴(Mo) 등의 금속이 이용된다.

<62> 도 3b를 참조하면, 제1 도전 패턴군이 형성된 하부 기판(45) 상에 게이트 절연막(46)이 도포된다. 그리고 제2 마스크 공정을 이용하여 게이트 절연막(46) 위에 활성층(48) 및 오믹 접촉층(50)을 포함하는 반도체 패턴과; 데이터 라인(4), 소스 전극(10), 드레인 전극(12), 데이터 패드 하부 전극(32), 스토리지 전극(22)을 포함하는 제2 도전 패턴군이 형성된다.

<63> 이를 상세히 설명하면, 제1 도전 패턴군이 형성된 하부 기판(45) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 게이트 절연막(46), 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 소스/드레인 금속층이 순차적으로 형성된다. 여기서, 게이트 절연막(46)의 재료로는 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등의 무기 절연물질이 이용된다. 소스/드레인 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy) 등이 이용된다.

<64> 이어서, 소스/드레인 금속층 위에 제2 마스크를 이용한 포토리소그래피 공정으로 포토레지스트 패턴을 형성하게 된다. 이 경우 제2 마스크로는 박막 트랜지스터의 채널부에 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 채널부의 포토레지스트 패턴이 다른 소스/드레인 패턴부 보다 낮은 높이를 갖게 한다.

<65> 이어서, 포토레지스트 패턴을 이용한 습식 식각 공정으로 소스/드레인 금속층이 패터닝됨으로써 데이터 라인(4), 소스 전극(10), 그 소스 전극(10)과 일체화된 드레인 전극(12), 스토리지 전극(22)을 포함하는 제2 도전 패턴군이 형성된다.

<66> 그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 n+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 오믹 접촉층(50)과 활성층(48)이 형성된다.

- <67> 그리고, 애싱(Ashing) 공정으로 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 제거된 후 건식 식각 공정으로 채널부의 소스/드레인 금속 패턴 및 오믹 접촉층(50)이 식각된다. 이에 따라, 채널부의 활성층(48)이 노출되어 소스 전극(10)과 드레인 전극(12)이 분리된다.
- <68> 이어서, 스트립 공정으로 제2 도전 패턴군 위에 남아 있던 포토레지스트 패턴이 제거된다.
- <69> 도 3c를 참조하면, 제2 도전 패턴군이 형성된 게이트 절연막(46) 상에 제3 마스크 공정을 이용하여 제1 내지 제5 접촉홀들(13, 21, 27, 33, 39)을 포함하는 보호막(52)이 형성된다.
- <70> 상세히 하면, 제2 도전 패턴군이 형성된 게이트 절연막(46) 상에 PECVD 등의 증착 방법으로 보호막(52)이 전면 형성된다. 이어서, 보호막(52)이 제3 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 제1 내지 제5 접촉홀들(13, 21, 27, 33, 39)이 형성된다. 제1 접촉홀(13)은 보호막(52)을 관통하여 드레인 전극(12)을 노출시키고, 제2 접촉홀(21)은 보호막(52)을 관통하여 스토리지 전극(22)을 노출시킨다. 제3 접촉홀(27)은 보호막(52) 및 게이트 절연막(46)을 관통하여 게이트 패드 하부 전극(26)을 노출시키고, 제4 접촉홀(33)은 보호막(52)을 관통하여 데이터 패드 하부 전극(32)을 노출시키고, 제5 접촉홀(39)은 보호막(52) 및 게이트 절연막(46)을 관통하여 공통 패드 하부 전극(38)을 노출시킨다. 여기서, 소스/드레인 금속으로 몰리브덴(Mo)과 같이 건식 식각비 큰 금속이 이용되는 경우 제1, 제2, 제4 접촉홀(12, 21, 33) 각각은 드레인 전극(12), 스토리지 전극(22), 데이터 패드 하부 전극(32)까지 관통하여 그들의 측면을 노출시키게 된다.
- <71> 보호막(52)의 재료로는 게이트 절연막(46)과 같은 무기 절연 물질이나 유전상수가 작은 아크릴(acryl)계 유기 화합물, BCB 또는 PFCB 등과 같은 유기 절연 물질이 이용된다.

- <72> 도 3d를 참조하면, 제4 마스크 공정을 이용하여 보호막(52) 상에 화소 전극(14), 게이트 패드 상부 전극(28), 데이터 패드 상부 전극(34), 공통 패드 상부 전극(40)을 포함하는 제3 도전 패턴군이 형성된다.
- <73> 상세히 하면, 보호막(52) 상에 스퍼터링 등의 증착 방법으로 투명 도전막이 도포된다. 이어서 제4 마스크를 이용한 포토리소그래피 공정과 식각 공정을 통해 투명 도전막이 패터닝됨으로써 화소 전극(14), 게이트 패드 상부 전극(28), 데이터 패드 상부 전극(34), 공통 패드 상부 전극(40)을 포함하는 제3 도전 패턴군이 형성된다. 화소 전극(14)은 제1 접촉홀(13)을 통해 드레인 전극(12)과 전기적으로 접속되고, 제2 접촉홀(21)을 통해 스토리지 전극(22)과 전기적으로 접속된다. 게이트 패드 상부 전극(28)은 제3 접촉홀(37)을 통해 게이트 패드 하부 전극(26)과 전기적으로 접속된다. 데이터 패드 상부 전극(34)은 제4 접촉홀(33)을 통해 데이터 하부 전극(32)과 전기적으로 접속된다. 공통 패드 상부 전극(40)은 제5 접촉홀(39)을 통해 공통 패드 하부 전극(38)과 전기적으로 접속된다.
- <74> 여기서, 투명 도전막의 재료로는 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 틴 옥사이드(Tin Oxide : TO), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide : IZO) 및 인듐 징크 옥사이드(Indium Zinc Oxide : IZO) 중 어느 하나가 이용된다.
- <75> 이와 같이, 종래의 수평 전계 인가형 박막 트랜지스터 어레이 기판 및 그 제조 방법은 4 마스크 공정을 채용함으로써 5마스크 공정을 이용한 경우보다 제조 공정수를 줄임과 아울러 그에 비례하는 제조 단가를 절감할 수 있게 된다. 그러나, 4 마스크 공정 역시 여전히 제조 공정이 복잡하여 원가 절감에 한계가 있으므로 제조 공정을 더욱 단순화하여 제조 단가를 더욱 줄일 수 있는 방안이 요구된다.

【발명이 이루고자 하는 기술적 과제】

<76> 따라서, 본 발명의 목적은 구조 및 마스크 공정 수를 절감할 수 있는 수평 전계 인가형 박막트랜지스터 어레이 기판 및 그 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<77> 상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 수평 전계 인가형 박막 트랜지스터 어레이 기판은 게이트 라인과, 상기 게이트 라인과 평행하게 형성된 공통 라인과, 상기 게이트 라인 및 공통 라인과 게이트절연막을 사이에 두고 교차하여 화소 영역을 결정하는 데이터 라인과, 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터와, 상기 화소 영역에 형성되고 상기 공통 라인과 접속되는 공통 전극과, 상기 화소 영역에 상기 데이터 라인에 포함되는 적어도 하나의 도전층으로 형성되어 상기 박막트랜지스터와 접속되며 상기 공통전극과 나란하게 형성되어 상기 공통전극과 수평전계를 이루는 핑거부를 포함하는 화소전극과, 상기 박막트랜지스터의 채널부를 형성하며 적어도 상기 화소전극의 핑거부와 동일 폭을 갖도록 형성된 반도체층을 구비하는 것을 특징으로 한다.

<78> 상기 박막트랜지스터 어레이 기판은 상기 게이트 라인에 포함된 적어도 하나의 도전층으로 형성된 게이트 패드와, 상기 데이터 라인에 포함된 적어도 하나의 도전층으로 형성된 데이터 패드와, 상기 공통 라인에 포함된 적어도 하나의 도전층으로 형성된 공통 패드를 추가로 구비하는 것을 특징으로 한다.

<79> 상기 게이트 라인 및 공통 라인은 주도전층과, 그 주도전층의 단선 방지를 위한 보조도전층을 구비하는 것을 특징으로 한다.

- <80> 상기 게이트 패드 및 공통 패드는 상기 주도전층과 상기 보조도전층을 구비하고, 상기 보조도전층이 노출된 구조를 갖는 것을 특징으로 한다.
- <81> 상기 게이트 패드 및 공통 패드는 상기 보조도전층을 구비하는 것을 특징으로 한다.
- <82> 상기 데이터 라인은 주도전층과, 그 주도전층의 단선 방지를 위한 보조도전층을 구비하는 것을 특징으로 한다.
- <83> 상기 데이터 패드는 상기 주도전층과 상기 보조도전층을 구비하고, 상기 보조도전층이 노출된 구조를 갖는 것을 특징으로 한다.
- <84> 상기 데이터 패드는 상기 보조도전층을 구비하는 것을 특징으로 한다.
- <85> 상기 주도전층은 저저항 금속으로 알루미늄계 금속, 구리, 몰리브덴, 크롬, 텅스텐 중 적어도 하나를 포함하고, 상기 보조도전층은 티타늄을 포함하는 것을 특징으로 한다.
- <86> 상기 박막 트랜지스터는 상기 게이트 라인과 접속된 게이트 전극과; 상기 데이터 라인과 접속된 소스 전극과; 상기 소스 전극과 대향되는 드레인 전극을 구비하는 것을 특징으로 한다.
- <87> 상기 박막트랜지스터 어레이 기판은 상기 게이트절연막을 사이에 두고 중첩되게 형성되는 상기 공통라인과, 상기 화소전극과 동일 도전층으로 형성된 스토리지전극으로 이루어진 스토리지캐패시터를 추가로 구비하는 것을 특징으로 한다.
- <88> 상기 반도체층은 상기 데이터 라인, 상기 소스 전극, 상기 드레인 전극, 상기 화소 전극, 그리고 상기 스토리지 전극을 따라 상기 게이트 절연막 상에 형성된 것을 특징으로 한다.
- <89> 상기 박막트랜지스터 어레이 기판은 상기 게이트 패드, 데이터 패드, 공통 패드 및 화소 전극을 노출시키는 보호막을 추가로 구비하는 것을 특징으로 한다.

- <90> 상기 화소전극은 상기 데이터패드와 동일 도전층으로 구성된 것을 특징으로 한다.
- <91> 상기 화소전극은 상기 핑거부와 연결되며 상기 게이트라인과 나란하게 형성되는 수평부를 포함하는 것을 특징으로 한다.
- <92> 상기 목적을 달성하기 위하여, 본 발명에 따른 수평 전계 인가형 박막 트랜지스터 어레이 기판의 제조방법은 게이트라인, 상기 게이트 라인과 접속된 박막 트랜지스터의 게이트 전극, 상기 게이트라인에 포함되는 적어도 하나의 도전층으로 형성된 게이트패드, 상기 게이트라인과 평행한 공통 라인, 상기 공통라인과 접속된 공통 전극, 상기 공통라인에 포함되는 적어도 하나의 도전층으로 형성된 공통 패드를 포함하는 제1 도전 패턴군을 형성하는 단계와; 상기 제1 도전 패턴군을 덮는 게이트절연막, 반도체층 및 데이터금속층을 증착하는 단계와; 상기 반도체층 및 데이터 금속층을 동시에 식각하여 상기 게이트라인과 교차하는 데이터라인, 상기 데이터라인에 포함되는 적어도 하나의 도전층으로 형성된 데이터패드, 상기 데이터라인과 연결된 상기 박막트랜지스터의 소스전극, 그 소스전극과 대향하는 상기 박막트랜지스터의 드레인전극, 상기 드레인전극에 포함되는 적어도 하나의 도전층으로 형성되고 상기 공통전극과 평행하게 형성되어 상기 공통전극과 수평전계를 이루는 핑거부를 포함한 화소전극을 포함하는 제2 도전패턴군과, 상기 박막트랜지스터의 채널부를 형성하며 상기 화소전극과 중첩되는 반도체층을 형성하는 단계와; 상기 반도체층 및 제2 도전패턴군을 덮도록 상기 게이트절연막 상에 보호막을 형성하는 단계와; 적어도 상기 화소전극의 핑거부에서 상기 화소전극과 동일 폭을 갖도록 상기 반도체층을 패터닝하는 단계를 포함하는 것을 특징으로 한다.
- <93> 상기 제1 도전 패턴군은 주도전층과, 그 주도전층의 단선 방지를 위한 보조도전층의 이중층 구조로 형성하는 것을 특징으로 한다.

- <94> 상기 보호막을 형성하는 단계는 상기 보호막 및 상기 게이트 절연막을 관통하는 접촉홀을 형성하여 상기 게이트패드 및 공통패드의 보조도전층을 노출시키는 단계를 포함하는 것을 특징으로 한다.
- <95> 상기 보호막을 형성하는 단계는 상기 보호막, 상기 게이트 절연막, 상기 주금속층을 관통하는 접촉홀을 형성하여 상기 게이트패드 및 공통패드의 보조도전층을 노출시키는 단계를 포함하는 것을 특징으로 한다.
- <96> 상기 제2 도전 패턴군은 주도전층과, 그 주도전층의 단선 방지를 위한 보조도전층의 이중층 구조로 형성하는 것을 특징으로 한다.
- <97> 상기 보호막을 형성하는 단계는 상기 보호막을 관통하는 접촉홀을 형성하여 상기 데이터 패드의 보조도전층을 노출시키며 상기 보호막 및 게이트절연막을 관통하는 관통홀을 형성하여 상기 화소전극의 보조도전층 및 화소전극과 중첩되는 반도체층을 노출시키는 단계를 포함하는 것을 특징으로 한다.
- <98> 상기 보호막을 형성하는 단계는 상기 보호막과 상기 주금속층을 관통하는 접촉홀을 형성하여 상기 데이터패드의 보조도전층을 노출시키며 상기 보호막 및 게이트절연막과 상기 주금속층을 관통하는 관통홀을 형성하여 상기 화소전극의 보조도전층 및 상기 화소전극과 중첩되는 반도체층을 노출시키는 단계를 포함하는 것을 특징으로 한다.
- <99> 상기 주도전층은 저저항 금속으로 알루미늄계 금속, 구리, 몰리브덴, 크롬, 텅스텐 중 적어도 하나의 금속을 포함하고, 상기 보조도전층은 티타늄을 포함하는 것을 특징으로 한다.
- <100> 상기 화소전극은 상기 데이터패드와 동일 도전층으로 구성된 것을 특징으로 한다.

- <101> 상기 제2 도전 패턴군을 형성하는 단계는 상기 공통 라인과 상기 게이트 절연막을 사이에 두고 중첩되는 스토리지 전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.
- <102> 상기 반도체층을 패터닝하는 단계는 상기 화소전극을 마스크로 상기 반도체층을 건식식각하는 단계를 포함하는 것을 특징으로 한다.
- <103> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <104> 이하, 본 발명의 바람직한 실시 예들을 도 4 내지 도 15를 참조하여 상세하게 설명하기로 한다.
- <105> 도 4는 본 발명의 실시 예에 따른 수평 전계 인가형 박막 트랜지스터 어레이 기판을 도시한 평면도이고, 도 5는 도 4에서 선"III-III'", "IV-IV'"를 따라 절취한 박막 트랜지스터 어레이 기판을 도시한 단면도이다.
- <106> 도 4 및 도 5에 도시된 박막 트랜지스터 어레이 기판은 하부 기판(145) 위에 게이트 절연막(146)을 사이에 두고 교차하게 형성된 게이트 라인(102) 및 데이터 라인(104)과, 그 교차부마다 형성된 박막 트랜지스터(106)와, 그 교차 구조로 마련된 화소 영역에 수평 전계를 형성하도록 형성된 화소 전극(114) 및 공통 전극(118)과, 공통 전극(118)과 접속된 공통 라인(116)을 구비한다. 그리고, 도 4 및 도 5에 도시된 박막 트랜지스터 어레이 기판은 스토리지 전극(122)과 공통 라인(116)의 중첩부에 형성된 스토리지 캐패시터(120)와, 게이트 라인(102)에서 연장된 게이트 패드(124)와, 데이터 라인(104)에서 연장된 데이터 패드(130)와, 공통 라인(116)에서 연장된 공통 패드(136)를 추가로 구비한다.

- <107> 게이트 신호를 공급하는 게이트 라인(102)과 데이터 신호를 공급하는 데이터 라인(104)은 교차 구조로 형성되어 화소 영역(105)을 정의한다.
- <108> 액정 구동을 위한 기준 전압을 공급하는 공통 라인(116)은 화소 영역(105)을 사이에 두고 게이트 라인(102)과 나란하게 형성된다.
- <109> 박막 트랜지스터(106)는 게이트 라인(102)의 게이트 신호에 응답하여 데이터 라인(104)의 화소 신호가 화소 전극(114)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(106)는 게이트 라인(102)에 접속된 게이트 전극(108)과, 데이터 라인(104)에 포함된 소스 전극과, 화소 전극(114)에 접속된 드레인 전극(112)을 구비한다. 또한, 박막 트랜지스터(106)는 게이트 전극(108)과 게이트 절연막(146)을 사이에 두고 중첩되면서 소스 전극과 드레인 전극(112) 사이에 채널을 형성하는 활성층(148)을 더 구비한다.
- <110> 그리고, 활성층(148)은 데이터 라인(114), 데이터 패드(130), 그리고 스토리지 전극(122)과도 중첩되게 형성된다. 이러한 활성층(148) 위에는 데이터 라인(14), 드레인 전극(112), 데이터 패드(130), 그리고 스토리지 전극(122)과 오믹 접촉을 위한 오믹 접촉층(150)이 더 형성된다.
- <111> 화소 전극(114)은 박막 트랜지스터(106)의 드레인 전극(112)과 일체화됨과 아울러 스토리지 전극(122)과 일체화되어 화소 영역(105)에 형성된다. 특히, 화소 전극(114)은 드레인 전극(112)에서 인접한 게이트 라인(102)과 나란하게 연장된 수평부(114A)와, 수평부(114A)에서 수직 방향으로 신장된 핑거부(114B)를 구비한다.
- <112> 화소전극(114)은 화소전극(114)과 중첩되는 활성층(148) 및 오믹접촉층(150)과 동일 폭으로 형성된다. 특히, 화소전극(114)과 활성층(148) 및 오믹접촉층(150)은 화소전극(114)의

평거부에서 동일 폭으로 형성된다. 예를 들어, 화소전극(114)과 반도체패턴의 폭(d1)은 약 3 μm 이다. 이와 같이, 화소전극(114)과 반도체패턴이 완전히 중첩됨으로써 반도체패턴으로 인한 개구율의 저하를 방지할 수 있다.

<113> 공통 전극(118)은 공통 라인(116)과 접속되어 화소 영역(105)에 형성된다. 특히, 공통 전극(118)은 화소 영역(105)에서 화소 전극(114)의 평거부(114B)와 나란하게 형성된다.

<114> 이에 따라, 박막 트랜지스터(106)를 통해 화소 신호가 공급된 화소 전극(114)과 공통 라인(116)을 통해 기준 전압이 공급된 공통 전극(118) 사이에는 수평 전계가 형성된다. 특히, 화소 전극(114)의 평거부(114B)와 공통 전극(118) 사이에 수평 전계가 형성된다. 이러한 수평 전계에 의해 박막 트랜지스터 어레이 기판과 칼라 필터 어레이 기판 사이에서 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역(105)을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.

<115> 스토리지 캐패시터(120)는 공통 라인(116)과, 그 공통 라인(116)과 게이트 절연막(146), 활성층(148), 그리고 오믹 접촉층(150)을 사이에 두고 중첩되고 화소 전극(114)과 일체화된 스토리지 전극(122)으로 구성된다. 이러한 스토리지 캐패시터(120)는 화소 전극(114)에 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 한다.

<116> 게이트 라인(102)은 게이트 패드(124)를 통해 테이프 캐리어 패키지(Tape Carrier Package; 이하, TCP라 함)에 실장된 게이트 드라이버(미도시)와 접속된다. 게이트 패드(124)는 게이트 라인(102)으로부터 연장되고, 게이트 절연막(146) 및 보호막(152)을 관통하는 제1 접촉홀(127)을 통해 노출된다. 이러한 게이트 패드(124)는 게이트 라인(102)에 포함되는 티타늄(Ti), 텅스텐(W) 등과 같이 강도 및 내식성이 상대적으로 큰 금속층이 노출된 구조를 갖

는다. 이에 따라, 게이트 패드(124)와 TCP를 부착하는 공정을 반복하는 경우에도 게이트 패드(124)의 단선 불량을 방지할 수 있게 된다.

<117> 공통 라인(116)은 공통 패드(136)에 부착되는 TCP를 통해 외부의 기준 전압원(미도시)으로부터 기준 전압을 공급받게 된다. 공통 패드(136)는 공통 라인(116)으로부터 연장되고, 게이트 절연막(146) 및 보호막(152)을 관통하는 제3 접촉홀(139)을 통해 노출된다. 이러한 공통 패드(136)은 상기 게이트 패드(124)와 같이 티타늄(Ti), 텅스텐(W) 등과 같이 강도 및 내식성이 상대적으로 큰 금속층이 노출된 구조를 갖는다. 이에 따라, 공통 패드(136)와 TCP를 부착하는 공정을 반복하는 경우에도 공통 패드(136)의 단선 불량을 방지할 수 있게 된다.

<118> 구체적으로, 게이트 라인(102), 게이트 전극(108), 공통 라인(116), 그리고 공통 전극(118)은 제1 및 제2 금속층(142, 144)이 적층된 이중 금속층 구조를 갖게 된다. 이들 중 하나의 금속층은 티타늄(Ti), 텅스텐(W) 등과 같이 강도 및 내식성이 상대적으로 큰 금속으로 이루어진다. 그리고, 나머지 하나의 금속층은 일반적인 게이트 금속으로 이용되고 있는 알루미늄(Al)계 금속, 몰리브덴(Mo), 구리(Cu) 등과 같은 저저항 금속으로 이루어진다.

<119> 여기서, 제1 금속층(142)으로 강도 및 내식성이 큰 금속을 이용하는 경우 게이트 패드(124) 및 공통 패드(138)는 상부의 제2 금속층(144)은 제거되고 하부의 제1 금속층(142)이 노출된 구조를 갖게 된다. 반면에, 제2 금속층(144)으로 강도 및 내식성이 큰 금속을 이용하는 경우 게이트 패드(124) 및 공통 패드(138)는 상부의 제2 금속층(144)이 노출된 구조를 갖게 된다.

<120> 데이터 라인(104)은 데이터 패드(130)를 통해 TCP에 실장된 데이터 드라이버(미도시)와 접속된다. 데이터 패드(130)는 데이터 라인(104)으로부터 연장되고, 보호막(152)을 관통하는 제2 접촉홀(133)을 통해 노출된다. 이러한 데이터 패드(130)는 데이터 라인(104)에 포함되는

티타늄(Ti), 텅스텐(W) 등과 같이 강도 및 내식성이 상대적으로 큰 금속층이 노출된 구조를 갖는다. 이에 따라, 데이터 패드(130)와 TCP를 부착하는 공정을 반복하는 경우에도 데이터 패드(130)의 단선 불량을 방지할 수 있게 된다.

<121> 구체적으로, 데이터 라인(104), 드레인 전극(112), 화소 전극(114) 그리고 스토리지 전극(122)은 제1 및 제2 금속층(154, 156)이 적층된 이중 금속층 구조를 갖게 된다. 이들 중 하나의 금속층은 티타늄(Ti), 텅스텐(W) 등과 같이 강도 및 내식성이 상대적으로 큰 금속으로 이루어진다. 그리고, 나머지 하나의 금속층은 일반적인 게이트 금속으로 이용되고 있는 알루미늄(Al)계 금속, 몰리브덴(Mo), 구리(Cu) 등과 같은 저저항 금속으로 이루어진다.

<122> 여기서, 제1 금속층(154)으로 강도 및 내식성이 큰 금속을 이용하는 경우 데이터 패드(130) 및 화소전극(114)은 상부의 제2 금속층(156)은 제거되고 하부의 제1 금속층(154)이 노출된 구조를 갖게 된다. 반면에, 제2 금속층(156)으로 강도 및 내식성이 큰 금속을 이용하는 경우 데이터 패드(130) 및 화소전극(114)은 상부의 제2 금속층(156)이 노출된 구조를 갖게 된다.

<123> 도 6a 및 도 6b는 본 발명의 실시 예에 따른 수평 전계 인가형 박막 트랜지스터 어레이 기관의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

<124> 도 6a 및 도 6b에 도시된 바와 같이 제1 마스크 공정으로 하부 기관(145) 상에 게이트 라인(102), 게이트 전극(108), 게이트 패드(124), 공통 라인(116), 공통 전극(118), 공통 패드(136)를 포함하는 제1 도전 패턴군이 형성된다. 이러한 제1 마스크 공정을 도 7a 내지 도 7c를 참조하여 상세히 하면 다음과 같다.

<125> 도 7a에 도시된 바와 같이 하부기관 상에 스퍼터링 등의 증착방법을 통해

제1 게이트 금속층(142)과 제2 게이트 금속층(144)이 순차적으로 증착됨으로써 이중 구조의 게이트 금속층이 형성된다. 여기서, 제1 및 제2 게이트 금속층(142, 144) 중 하나의 게이트 금속층은 티타늄(Ti), 텅스텐(W) 등과 같이 강도 및 내식성이 상대적으로 큰 금속으로 이루어지고, 나머지 하나의 게이트 금속층은 알루미늄(Al)계 금속, 몰리브덴(Mo), 구리(Cu) 등과 같은 금속으로 이루어진다. 이어서, 제2 게이트금속층(144) 위에 포토레지스트막이 전면 형성된 다음 도 7b에 도시된 바와 같이 하부기판(145) 상부에 제1 마스크(200)가 정렬된다. 제1 마스크(200)는 투명한 재질인 마스크기판(204)과, 마스크기판(204)의 차단영역(P2)에 형성된 차단부(202)를 구비한다. 여기서, 마스크 기판(204)이 노출된 영역은 노광 영역(P1)이 된다. 이러한 제1 마스크(200)를 이용한 포토레지스트막을 노광 및 현상함으로써 제1 마스크(200)의 차단부(202)와 대응하여 차단 영역(P2)에 포토레지스트 패턴(206)이 형성된다. 이러한 포토레지스트 패턴(206)을 이용한 식각 공정으로 제1 및 제2 게이트 금속층(142, 144)이 패터닝됨으로써 도 7c에 도시된 바와 같이 게이트 라인(102), 게이트 전극(108), 게이트 패드(124), 공통 라인(116), 공통 전극(118), 공통 패드(136)를 포함하는 제1 도전 패턴군이 형성된다.

<126> 도 8a 및 도 8b는 본 발명의 실시 예에 따른 수평 전계 인가형 박막 트랜지스터 어레이 기판의 제조 방법 중 제2 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

<127> 우선, 제1 도전 패턴군이 형성된 하부 기판(145) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 게이트 절연막(146)이 형성된다. 게이트 절연막(146)의 재료로는 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등의 무기 절연 물질이 이용된다.

<128> 그리고, 도 8a 및 도 8b에 도시된 바와 같이 제2 마스크 공정으로 게이트 절연막(146) 위에 적층된 활성층(148) 및 오믹 접촉층(150)을 포함하는 반도체 패턴과; 데이터 라인(104), 드레인 전극(112), 화소 전극(114), 데이터 패드(130), 스토리지 전극(122)을 포함하는 제2 도

전 패턴군이 형성된다. 이러한 제2 마스크 공정을 도 9a 내지 도 9e를 참조하여 상세히 하면 다음과 같다.

<129> 도 9a에 도시된 바와 같이 게이트 절연막(146) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 제1 반도체층(147), 제2 반도체층(149), 그리고 제1 및 제2 소스/드레인 금속층(154, 156)이 순차적으로 형성된다. 여기서, 제1 반도체층(147)은 불순물이 도핑되지 않은 비정질실리콘이 이용되며, 제2 반도체층(149)은 N형 또는 P형의 불순물이 도핑된 비정질실리콘이 이용된다. 제1 및 제2 소스/드레인 금속층(154, 156) 중 하나의 소스/드레인 금속층은 티타늄(Ti), 텅스텐(W) 등과 같이 강도 및 내식성이 상대적으로 큰 금속으로 이루어지고, 나머지 하나의 소스/드레인 금속층은 알루미늄(Al)계 금속, 몰리브덴(Mo), 구리(Cu) 등과 같은 금속으로 이루어진다.

<130> 그 다음, 제2 소스/드레인 금속층(156) 위에 포토레지스트막을 형성한 다음 도 9b에 도시된 바와 같이 부분 노광 제2 마스크(160)가 하부기판(145) 상부에 정렬된다. 제2 마스크(160)는 투명한 재질인 마스크 기판(162)과, 마스크 기판(162)의 차단 영역(P2)에 형성된 차단부(164)와, 마스크 기판(162)의 부분 노광 영역(P3)에 형성된 회절 노광부(166)(또는 반투과부)를 구비한다. 여기서, 마스크 기판(162)이 노출된 영역은 노광 영역(P1)이 된다. 이러한 제2 마스크(160)를 이용한 포토레지스트막을 노광한 후 현상함으로써 제2 마스크(160)의 차단부(164)와 회절 노광부(166)에 대응하여 차단 영역(P2)과 부분 노광 영역(P3)에서 단차를 갖는 포토레지스트 패턴(168)이 형성된다. 즉, 부분 노광 영역(P3)에 형성된 포토레지스트 패턴(168)은 차단 영역(P2)에서 형성된 제1 높이를 갖는 포토레지스트 패턴(168)보다 낮은 제2 높이를 갖게 된다.

- <131> 이러한 포토레지스트 패턴(168)을 마스크로 이용한 습식 식각 공정으로 제1 및 제2 소스/드레인 금속층(154, 156)이 패터닝됨으로써 도 9c에 도시된 바와 같이 데이터 라인(104), 데이터 라인(104)과 접속된 드레인 전극(112), 화소 전극(114), 스토리지 전극(122), 데이터 패드(130)를 포함하는 제2 도전 패턴군이 형성된다.
- <132> 그리고, 포토레지스트 패턴(168)을 마스크로 이용한 건식 식각 공정으로 제1 반도체층(147)과 제2 반도체층(149)이 패터닝됨으로써 도 9d와 같이 오믹 접촉층(150)과 활성층(148)이 소스/드레인 금속 패턴을 따라 형성된다. 이어서, 산소(O_2) 플라즈마를 이용한 애싱(Ashing) 공정으로 부분 노광 영역(P3)에 제2 높이를 갖는 포토레지스트 패턴(168)은 제거되고, 차단 영역(P2)에 제1 높이(h1)를 갖는 포토레지스트 패턴(168)은 높이가 낮아진 상태가 된다. 이러한 포토레지스트 패턴(168)을 이용한 식각 공정으로 회절 노광 영역(P3), 즉 박막 트랜지스터의 채널부에 형성된 제1 및 제2 소스/드레인 금속층(154, 156)이 제거된다. 예를 들어, 제2 소스/드레인 금속층(156)으로 몰리브덴(Mo)이, 제1 소스/드레인 금속층(154)으로 티타늄(Ti)이 이용된 경우 제2 소스/드레인 금속층(156)은 건식 식각 공정으로, 제1 소스/드레인 금속층(154)은 습식 식각 공정으로 채널부에서 제거된다. 반대로, 제2 소스/드레인 금속층(156)으로 티타늄(Ti)이, 제1 소스/드레인 금속층(154)으로 몰리브덴(Mo)이 이용된 경우 제2 소스/드레인 금속층(156)은 습식 식각 공정으로, 제1 소스/드레인 금속층(154)은 건식 식각 공정으로 채널부에서 제거된다. 이에 따라, 드레인 전극(112)이 소스 전극을 포함하는 데이터 라인(104)에서 분리된다. 그 다음, 포토레지스트 패턴(168)을 이용한 건식 식각 공정으로 박막 트랜지스터의 채널부에서 오믹 접촉층(150)이 제거됨으로써 활성층(148)이 노출된다.
- <133> 그리고, 도 9e에 도시된 바와 같이 제2 도전 패턴군 위에 남아 있던 포토레지스트 패턴(168)이 스트립 공정으로 제거된다.

- <134> 도 10a 및 도 10b는 본 발명의 실시 예에 따른 수평 전계 인가형 박막 트랜지스터 어레이 기판의 제조 방법 중 제3 마스크 공정을 설명하기 위한 평면도 및 단면도이다.
- <135> 도 10a 및 도 10b에 도시된 바와 같이 제3 마스크 공정으로 전술한 반도체 패턴 및 소스/드레인 금속 패턴이 적층된 게이트 절연막(146) 상에 제1 내지 제3 접촉홀들(127, 133, 139)을 포함하는 보호막(152)이 형성된다. 이러한 제3 마스크 공정을 도 11a 내지 도 11d를 참조하여 상세히 하면 다음과 같다.
- <136> 도 11a에 도시된 바와 같이 반도체 패턴과 소스/드레인 금속 패턴이 적층된 게이트 절연막(146) 상에 PECVD 등의 증착 방법으로 보호막(152)이 형성된다. 보호막(152)의 재료로는 게이트 절연막(146)과 같은 무기 절연 물질이나 유전상수가 작은 아크릴(acryl)계 유기 화합물, BCB 또는 PFCB 등과 같은 유기 절연 물질이 이용된다. 이어서, 보호막(152) 위에 포토레지스트막이 전면 형성된 다음 도 11b에 도시된 바와 같이 하부기판(145) 상부에 제3 마스크(210)가 정렬된다. 제3 마스크(210)는 투명한 재질인 마스크기판(214)과, 마스크기판(214)의 차단영역(P2)에 형성된 차단부(212)를 구비한다. 여기서, 마스크 기판(214)이 노출된 영역은 노광 영역(P1)이 된다. 이러한 제3 마스크(210)를 이용한 포토레지스트막을 노광 및 현상함으로써 제3 마스크(210)의 차단부(212)와 대응하여 차단 영역(P2)에 포토레지스트 패턴(216)이 형성된다. 이러한 포토레지스트 패턴(216)을 이용한 식각 공정으로 보호막(152)이 패터닝됨으로써 도 11c에 도시된 바와 같이 제1 내지 제3 접촉홀들(127, 133, 139)과 관통홀(220)이 형성된다.
- <137> 제1 접촉홀(127)은 보호막(152) 및 게이트 절연막(146)을 관통하여 게이트 패드(124)를 노출시키고, 제2 접촉홀(133)은 보호막(152)을 관통하여 데이터 패드(130)를 노출시키고, 제3 접촉홀(139)은 보호막(152) 및 게이트 절연막(146)을 관통하여 공통 패드(136)를 노출시킨다.

이렇게 노출된 게이트 패드(124), 데이터 패드(130), 공통 패드(136)는 강도 및 내식성이 큰 금속층이 노출된 구조를 갖게 된다.

<138> 관통홀(220)은 보호막(152) 및 게이트절연막(146)을 관통하여 제1 폭(d1)을 갖는 화소전극(114)과, 화소전극(114)과 중첩되며 화소전극(114)과 넓은 제2 폭(d2)을 갖는 활성층(148) 및 오믹접촉층(150)을 포함하는 반도체패턴 및 하부기관(145)을 노출시킨다. 이 때, 노출된 활성층(148) 및 오믹접촉층(150)의 폭은 예를 들어 약 $6\sim 6.5\mu\text{m}$ 이고, 화소전극(114)의 폭은 약 $3\sim 3.5\mu\text{m}$ 이다.

<139> 이어서, 노출된 화소전극(114)을 마스크로 반도체패턴이 건식식각됨으로써 도 11d에 도시된 바와 같이 화소전극(114)과 활성층(148) 및 오믹접촉층(150)은 제1 폭을 갖으며 완전히 중첩된다. 예를 들어, 완전히 중첩되는 화소전극(114)과 활성층(148) 및 오믹접촉층(150)은 약 $3\mu\text{m}$ 의 폭을 갖게 된다. 이는 제2 마스크공정으로 형성된 반도체패턴(148,150)이 화소전극(114)보다 넓게 형성되어 화소전극(114)의 평거부와 공통전극(118) 사이의 간격이 좁아져 개구율이 저하되는 것을 방지하기 위해서이다. 이렇게 반도체패턴(148,150)과 동일 폭을 갖는 화소전극(114)은 강도 및 내식성이 큰 금속층이 노출된 구조를 갖게 된다.

<140> 제3 마스크공정에 의해 노출된 게이트 패드(124), 데이터 패드(130), 공통 패드(136) 및 화소전극(114)은 도 12 및 도 13에 도시된 바와 같이 두 가지 구조를 가지게 된다.

<141> 예를 들어, 하부의 제1 게이트 금속층(142)으로 티타늄(Ti)이, 상부의 제2 게이트 금속층(144)으로 몰리브덴(Mo)이 이용된 경우 도 12에 도시된 바와 같이 게이트 패드(124) 및 공통 패드(136)는 하부의 제1 게이트 금속층(142)으로만 구성된다. 이는 제1 및 제3 접촉홀(127, 139) 형성을 위한 식각 공정에서 상부의 제2 게이트 금속층(144)이 제거되기 때문이다.

- <142> 반대로, 하부의 제1 게이트 금속층(142)으로 몰리브덴(Mo)이, 제2 게이트 금속층(144)으로 티타늄(Ti)이 이용된 경우 도 13에 도시된 바와 같이 게이트 패드(124) 및 공통 패드(136)는 제1 및 제2 게이트 금속층(142, 144)이 적층된 이중 금속층 구조를 갖게 된다. 그리고, 게이트 패드(124) 및 공통 패드(136)는 제1 및 제3 접촉홀(127, 139)에 의해 상부의 제2 게이트 금속층(144)이 노출된 구조를 갖게 된다.
- <143> 또한, 하부의 제1 소스/드레인 금속층(154)으로 티타늄(Ti)이, 상부의 제2 소스/드레인 금속층(156)으로 몰리브덴(Mo)이 이용된 경우 도 12에 도시된 바와 같이 데이터 패드(130) 및 화소전극(114)은 하부의 제1 소스/드레인 금속층(154)으로만 구성된다. 이는 제2 접촉홀(133) 형성을 위한 식각 공정에서 상부의 제2 소스/드레인 금속층(156)이 제거되기 때문이다.
- <144> 반대로, 하부의 제1 소스/드레인 금속층(154)으로 몰리브덴(Mo)이, 제2 소스/드레인 금속층(156)으로 티타늄(Ti)이 이용된 경우 도 13에 도시된 바와 같이 데이터 패드(130) 및 화소전극(114)은 제1 및 제2 소스/드레인 금속층(154, 156)이 적층된 이중 금속층 구조를 갖게 된다. 그리고, 데이터 패드(130)는 제2 접촉홀(133)에 의해 상부의 제2 소스/드레인 금속층(156)이 노출된 구조를 갖게 되며, 화소전극(114)은 관통홀(220)에 의해 상부의 제2 소스/드레인 금속층(156)이 노출된 구조를 갖게 된다.
- <145> 이와 같이, 본 발명의 실시 예에 따른 수평 전계 인가형 박막 트랜지스터 어레이 기판 및 그 제조 방법은 화소 전극(114)을 드레인 전극(112)과 동일한 금속으로 형성한다. 그리고, 화소전극(114)과 반도체패턴(148, 150)이 완전히 중첩되게 형성됨으로써 반도체패턴(148, 150)에 의한 개구율저하를 방지할 수 있게 된다.
- <146> 또한, 게이트 패드(124), 데이터 패드(130), 그리고 공통 패드(136)로는 TCP의 반복적인 부착 공정에서도 단선 불량을 방지할 수 있는 강도 및 내식성이 큰 금속을 이용한다. 이에 따

라, 본 발명은 투명 도전막이 필요없게 되므로, 즉 투명 도전막 증착 공정 및 패터닝 공정이 필요없게 되므로 하나의 마스크 공정을 절감할 수 있게 된다. 다시 말하여, 본 발명에 따른 수평 전계 인가형 박막 트랜지스터 어레이 기판은 3마스크 공정으로 형성될 수 있게 된다.

<147> 그리고, 도 14 및 도 15에 도시된 바와 같이 완성된 박막 트랜지스터 어레이 기판과, 다른 공정으로 칼라 필터 어레이(272)가 형성된 상부 기판(270)을 준비하여 실링재(274)를 통해 상호 합착시킨 다음 액정(미도시)을 주입하여 액정 패널을 제작하게 된다. 이 경우, 상부 기판(270)은 박막 트랜지스터 어레이 기판에서 게이트 패드(124), 데이터 패드(130), 그리고 공통 패드(136)가 형성되는 패드 영역과 중첩되지 않게 합착된다.

<148> 이어서, 박막 트랜지스터 어레이 기판의 패드 영역에 실장된 TCP(170, 180)를 도전볼(184)이 포함된 ACF(Anisotropic Conductive Film)(182)를 이용하여 부착시키게 된다. 이에 따라, TCP(170, 180)에 형성된 출력 패드들(174, 176, 178)은 ACF(182)의 도전볼(184)을 통해 게이트 패드(124), 데이터 패드(130), 그리고 공통 패드(136) 각각과 전기적으로 접속된다. 구체적으로, 게이트 TCP(170)의 베이스 필름(172) 상에 형성된 제1 TCP 패드(174)는 게이트 패드(124)와, 데이터 TCP(180)의 베이스 필름(172) 상에 형성된 제2 TCP 패드(176)는 데이터 패드(130)와, 데이터 TCP(180)의 베이스 필름(172) 상에 형성된 제3 TCP 패드(178)는 공통 패드(136)와 ACF(182)를 통해 전기적으로 접속된다. 이 경우 게이트 패드(124), 데이터 패드(130), 그리고 공통 패드(136)는 강도 및 내식성이 큰 금속층이 노출된 구조를 갖고 있으므로 TCP(170, 180)의 부착 공정을 반복하더라도 패드의 단선 불량은 방지된다.

【발명의 효과】

<149> 상술한 바와 같이, 본 발명에 따른 수평 전계 인가형 박막 트랜지스터 어레이 기판 및 그 제조 방법은 화소 전극을 드레인 전극과 동일한 금속으로 형성하고, 적어도 화소전극의 평거부에 위치하는 반도체패턴은 화소전극과 완전히 중첩되게 형성된다. 또한, 패드들은 단선 불량을 방지할 수 있도록 강도 및 내식성이 큰 금속이 노출된 구조를 갖고 ACF를 통해 TCP와 접속된다. 이에 따라, 본 발명에 따른 수평 전계 인가형 박막 트랜지스터 어레이 기판 및 그 제조 방법은 화소전극보다 넓게 형성되는 반도체패턴에 의한 개구율이 저하되는 것이 방지된다. 또한, 본 발명에 따른 수평 전계 인가형 박막트랜지스터 어레이 기판 및 그 제조방법은 3마스크 공정으로 박막 트랜지스터 어레이 기판을 제조할 수 있게 되므로 그 박막 트랜지스터 어레이 기판의 구조 및 공정을 단순화하여 제조 원가 절감할 수 있음과 아울러 제조 수율을 향상시킬 수 있게 된다.

<150> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

게이트 라인과,

상기 게이트 라인과 평행하게 형성된 공통 라인과,

상기 게이트 라인 및 공통 라인과 게이트절연막을 사이에 두고 교차하여 화소 영역을 결정하는 데이터 라인과,

상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터와,

상기 화소 영역에 형성되고 상기 공통 라인과 접속되는 공통 전극과,

상기 화소 영역에 상기 데이터 라인에 포함되는 적어도 하나의 도전층으로 형성되어 상기 박막트랜지스터와 접속되며 상기 공통전극과 나란하게 형성되어 상기 공통전극과 수평전계를 이루는 핑거부를 포함하는 화소전극과,

상기 박막트랜지스터의 채널부를 형성하며 적어도 상기 화소전극의 핑거부와 동일 폭을 갖도록 형성된 반도체층을 구비하는 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판.

【청구항 2】

제 1 항에 있어서,

상기 게이트 라인에 포함된 적어도 하나의 도전층으로 형성된 게이트 패드와,

상기 데이터 라인에 포함된 적어도 하나의 도전층으로 형성된 데이터 패드와,

상기 공통 라인에 포함된 적어도 하나의 도전층으로 형성된 공통 패드를 추가로 구비하는 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판.

【청구항 3】

제 2 항에 있어서,

상기 게이트 라인 및 공통 라인은

주도전층과, 그 주도전층의 단선 방지를 위한 보조도전층을 구비하는 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판.

【청구항 4】

제 3 항에 있어서,

상기 게이트 패드 및 공통 패드는

상기 주도전층과 상기 보조도전층을 구비하고, 상기 보조도전층이 노출된 구조를 갖는 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판.

【청구항 5】

제 3 항에 있어서,

상기 게이트 패드 및 공통 패드는

상기 보조도전층을 구비하는 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판.

【청구항 6】

제 2 항에 있어서,

상기 데이터 라인은

주도전층과, 그 주도전층의 단선 방지를 위한 보조도전층을 구비하는 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판.

【청구항 7】

제 6 항에 있어서,

상기 데이터 패드는

상기 주도전층과 상기 보조도전층을 구비하고, 상기 보조도전층이 노출된 구조를 갖는 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판.

【청구항 8】

제 6 항에 있어서,

상기 데이터 패드는

상기 보조도전층을 구비하는 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판.

【청구항 9】

제 3 항 또는 제 6 항에 있어서,

상기 주도전층은 저저항 금속으로 알루미늄계 금속, 구리, 몰리브덴, 크롬, 텅스텐 중 적어도 하나를 포함하고,

상기 보조도전층은 티타늄을 포함하는 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판.

【청구항 10】

제 1 항에 있어서,

상기 박막 트랜지스터는

상기 게이트 라인과 접속된 게이트 전극과;

상기 데이터 라인과 접속된 소스 전극과;

상기 소스 전극과 대향되는 드레인 전극을 구비하는 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판.

【청구항 11】

제 10 항에 있어서,

상기 게이트절연막을 사이에 두고 중첩되게 형성되는 상기 공통라인과, 상기 화소전극과 동일 도전층으로 형성된 스토리지전극으로 이루어진 스토리지캐패시터를 추가로 구비하는 것을 특징으로 하는 수평 전계 인가형 박막 트랜지스터 어레이 기판.

【청구항 12】

제 11 항에 있어서,

상기 반도체층은 상기 데이터 라인, 상기 소스 전극, 상기 드레인 전극, 상기 화소 전극, 그리고 상기 스토리지 전극을 따라 상기 게이트 절연막 상에 형성된 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판.

【청구항 13】

제 1 항에 있어서,

상기 게이트 패드, 데이터 패드, 공통 패드 및 화소전극을 노출시키는 보호막을 추가로 구비하는 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판.

【청구항 14】

제 2 항에 있어서,

상기 화소전극은 상기 데이터패드와 동일 도전층으로 구성된 것을 특징으로 하는 수평 전계 인가형 박막 트랜지스터 어레이 기판.

【청구항 15】

제 1 항에 있어서,

상기 화소전극은 상기 핑거부와 연결되며 상기 게이트라인과 나란하게 형성되는 수평부를 포함하는 것을 특징으로 하는 수평 전계 인가형 박막 트랜지스터 어레이 기판.

【청구항 16】

게이트라인, 상기 게이트 라인과 접속된 박막 트랜지스터의 게이트 전극, 상기 게이트라인에 포함되는 적어도 하나의 도전층으로 형성된 게이트패드, 상기 게이트 라인과 평행한 공통라인, 상기 공통라인과 접속된 공통 전극, 상기 공통라인에 포함되는 적어도 하나의 도전층으로 형성된 공통 패드를 포함하는 제1 도전 패턴군을 형성하는 단계와;

상기 제1 도전 패턴군을 덮는 게이트절연막, 반도체층 및 데이터금속층을 증착하는 단계와;

상기 반도체층 및 데이터 금속층을 동시에 식각하여 상기 게이트라인과 교차하는 데이터라인, 상기 데이터라인에 포함되는 적어도 하나의 도전층으로 형성된 데이터패드, 상기 데이터라인과 연결된 상기 박막트랜지스터의 소스전극, 그 소스전극과 대향하는 상기 박막트랜지스터의 드레인전극, 상기 드레인전극에 포함되는 적어도 하나의 도전층으로 형성되고 상기 공통전극과 평행하게 형성되어 상기 공통전극과 수평전계를 이루는 핑거부를 포함한 화소전극을 포함.

하는 제2 도전패턴군과, 상기 박막트랜지스터의 채널부를 형성하며 상기 화소전극과 중첩되는 반도체층을 형성하는 단계와;

상기 반도체층 및 제2 도전패턴군을 덮도록 상기 게이트절연막 상에 보호막을 형성하는 단계와;

적어도 상기 화소전극의 평거부에서 상기 화소전극과 동일 폭을 갖도록 상기 반도체층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 수평 전계 인가형 박막 트랜지스터 어레이 기판의 제조방법.

【청구항 17】

제 16 항에 있어서,

상기 제1 도전 패턴군은

주도전층과, 그 주도전층의 단선 방지를 위한 보조도전층의 이중층 구조로 형성하는 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판의 제조 방법.

【청구항 18】

제 17 항에 있어서,

상기 보호막을 형성하는 단계는

상기 보호막 및 상기 게이트 절연막을 관통하는 접촉홀을 형성하여 상기 게이트패드 및 공통패드의 보조도전층을 노출시키는 단계를 포함하는 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판의 제조 방법.

【청구항 19】

제 17 항에 있어서,

상기 보호막을 형성하는 단계는

상기 보호막, 상기 게이트 절연막, 상기 주금속층을 관통하는 접촉홀을 형성하여 상기 게이트패드 및 공통패드의 보조도전층을 노출시키는 단계를 포함하는 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판의 제조 방법.

【청구항 20】

제 16 항에 있어서,

상기 제2 도전 패턴군은

주도전층과, 그 주도전층의 단선 방지를 위한 보조도전층의 이중층 구조로 형성하는 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판의 제조 방법.

【청구항 21】

제 20 항에 있어서,

상기 보호막을 형성하는 단계는

상기 보호막을 관통하는 접촉홀을 형성하여 상기 데이터패드의 보조도전층을 노출시키며 상기 보호막 및 게이트절연막을 관통하는 관통홀을 형성하여 상기 화소전극의 보조도전층 및 화소전극과 중첩되는 반도체층을 노출시키는 단계를 포함하는 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판의 제조 방법.

【청구항 22】

제 20 항에 있어서,

상기 보호막을 형성하는 단계는

상기 보호막과 상기 주금속층을 관통하는 접촉홀을 형성하여 상기 데이터패드의 보조도전층을 노출시키며 상기 보호막 및 게이트절연막과 상기 주금속층을 관통하는 관통홀을 형성하여 상기 화소전극의 보조도전층 및 상기 화소전극과 중첩되는 반도체층을 노출시키는 단계를 포함하는 것을 특징으로 하는 수평 전계 인가형 박막 트랜지스터 어레이 기판의 제조 방법.

【청구항 23】

제 17 항 또는 제 20 항에 있어서,

상기 주도전층은 저저항 금속으로 알루미늄계 금속, 구리, 몰리브덴, 크롬, 텅스텐 중 적어도 하나의 금속을 포함하고,

상기 보조도전층은 티타늄을 포함하는 것을 특징으로 하는 수평 전계 인가형 박막 트랜지스터 어레이 기판의 제조 방법.

【청구항 24】

제 16 항에 있어서,

상기 화소전극은 상기 데이터패드와 동일 도전층으로 구성된 것을 특징으로 하는 수평 전계 인가형 박막 트랜지스터 어레이 기판의 제조방법.

【청구항 25】

제 16 항에 있어서,

상기 제2 도전 패턴군을 형성하는 단계는

상기 공통 라인과 상기 게이트 절연막을 사이에 두고 중첩되는 스토리지 전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판의 제조 방법.

【청구항 26】

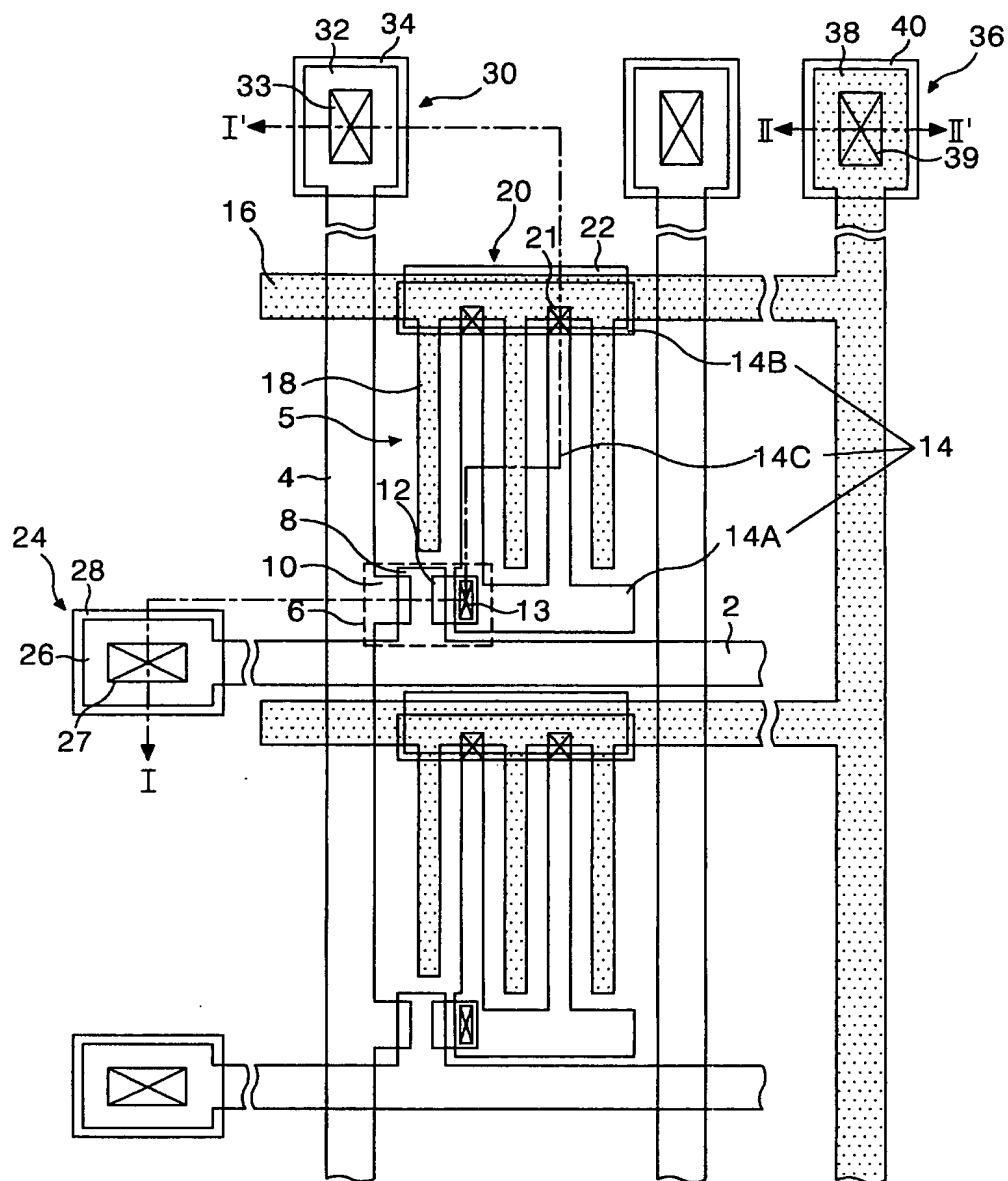
제 16 항에 있어서,

상기 반도체층을 패터닝하는 단계는

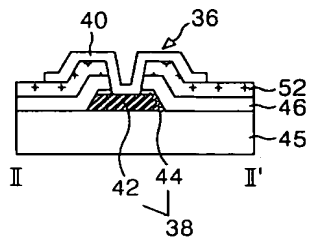
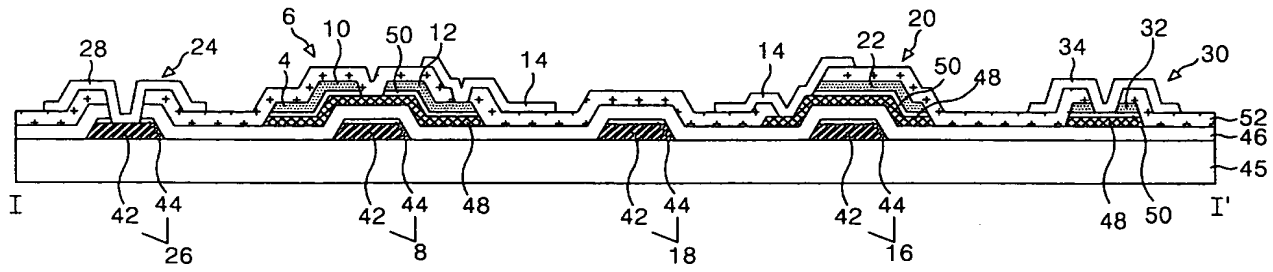
상기 화소전극을 마스크로 상기 반도체층을 건식식각하는 단계를 포함하는 것을 특징으로 하는 수평 전계 인가형 박막트랜지스터 어레이 기판의 제조방법.

【도면】

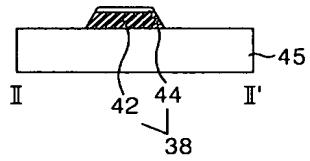
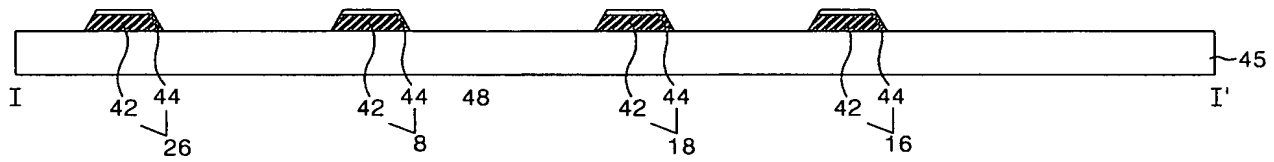
【도 1】



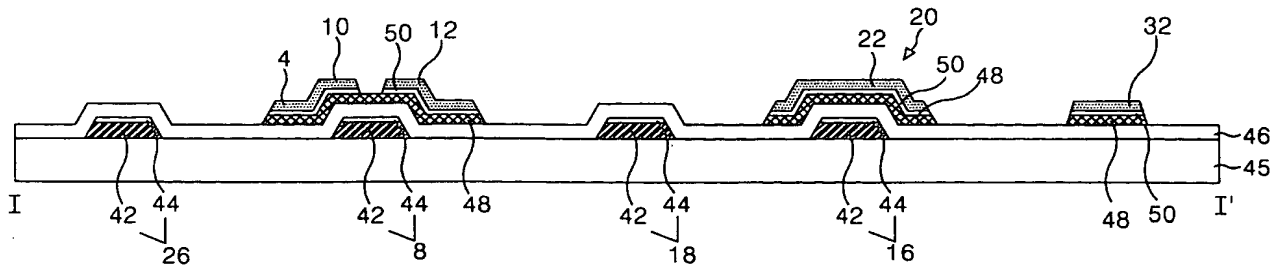
【도 2】



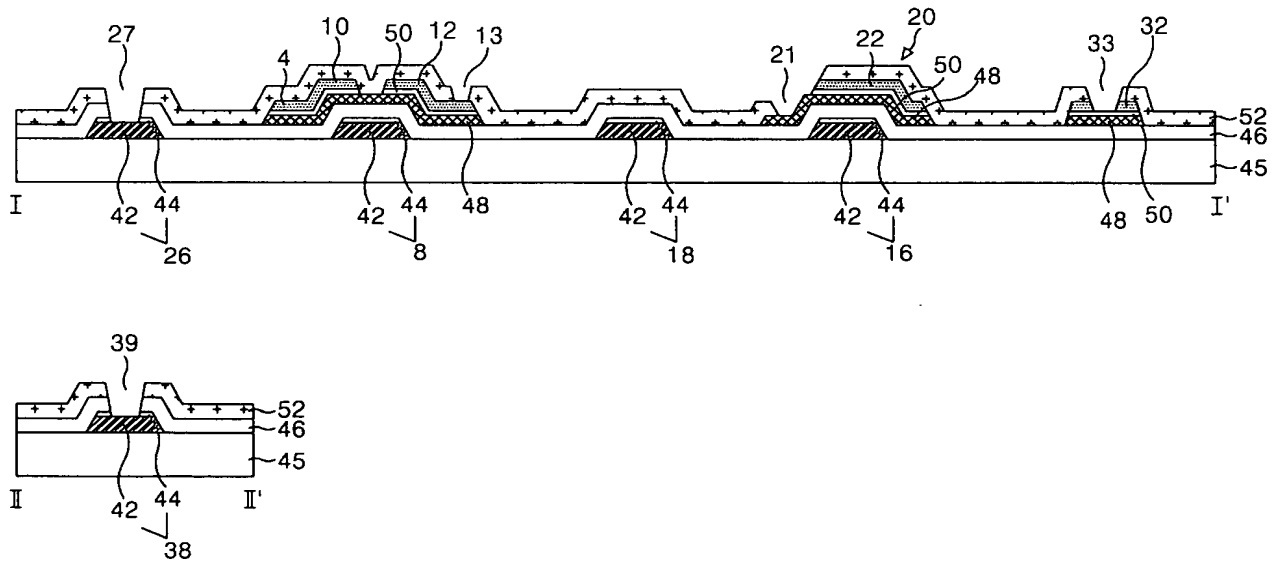
【도 3a】



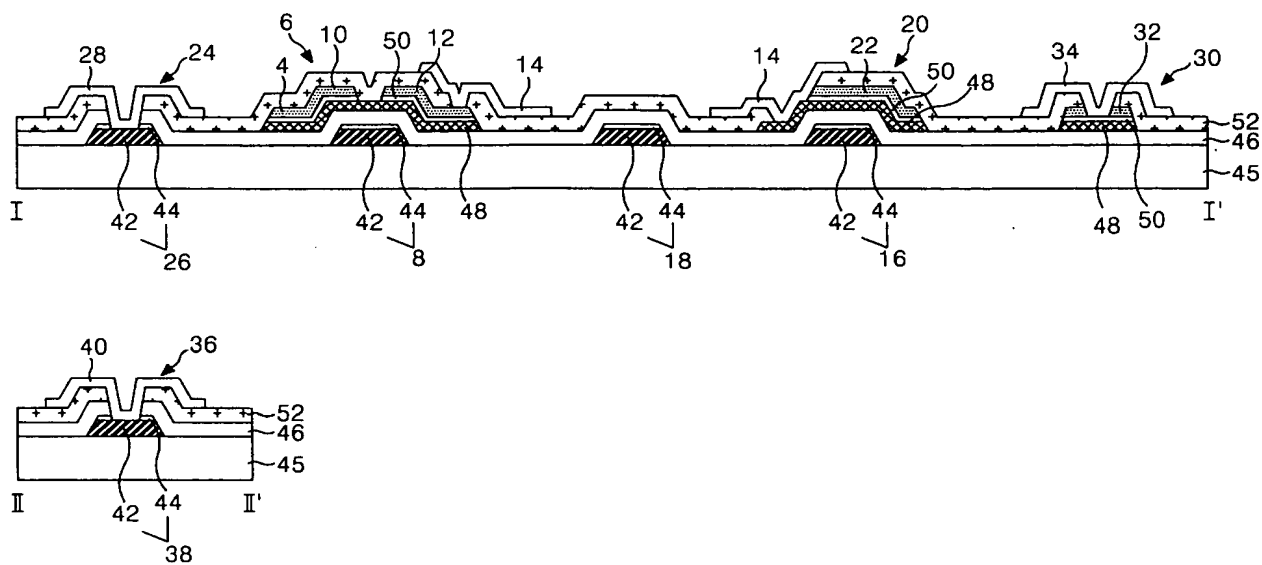
【도 3b】



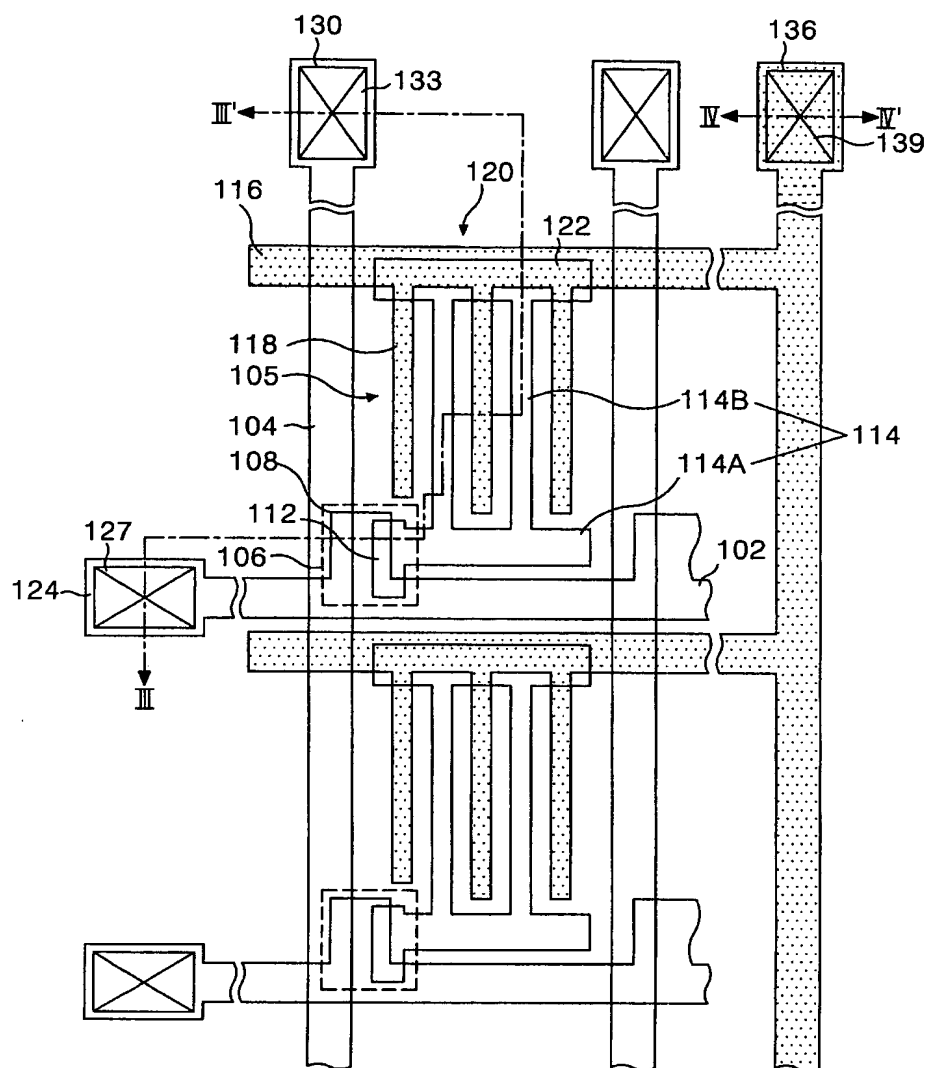
【도 3c】



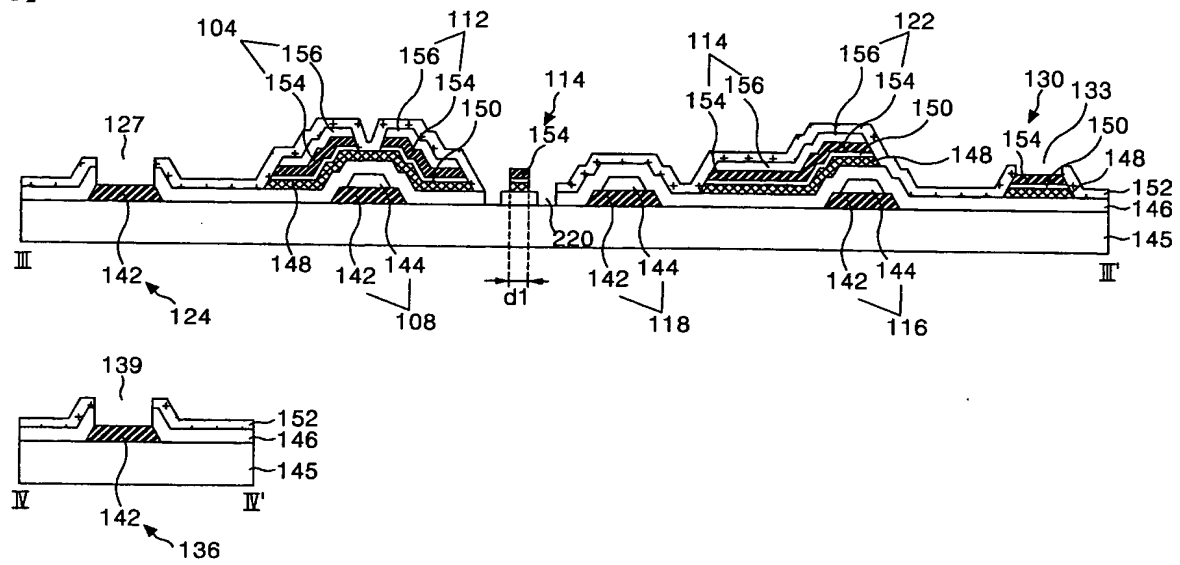
【도 3d】



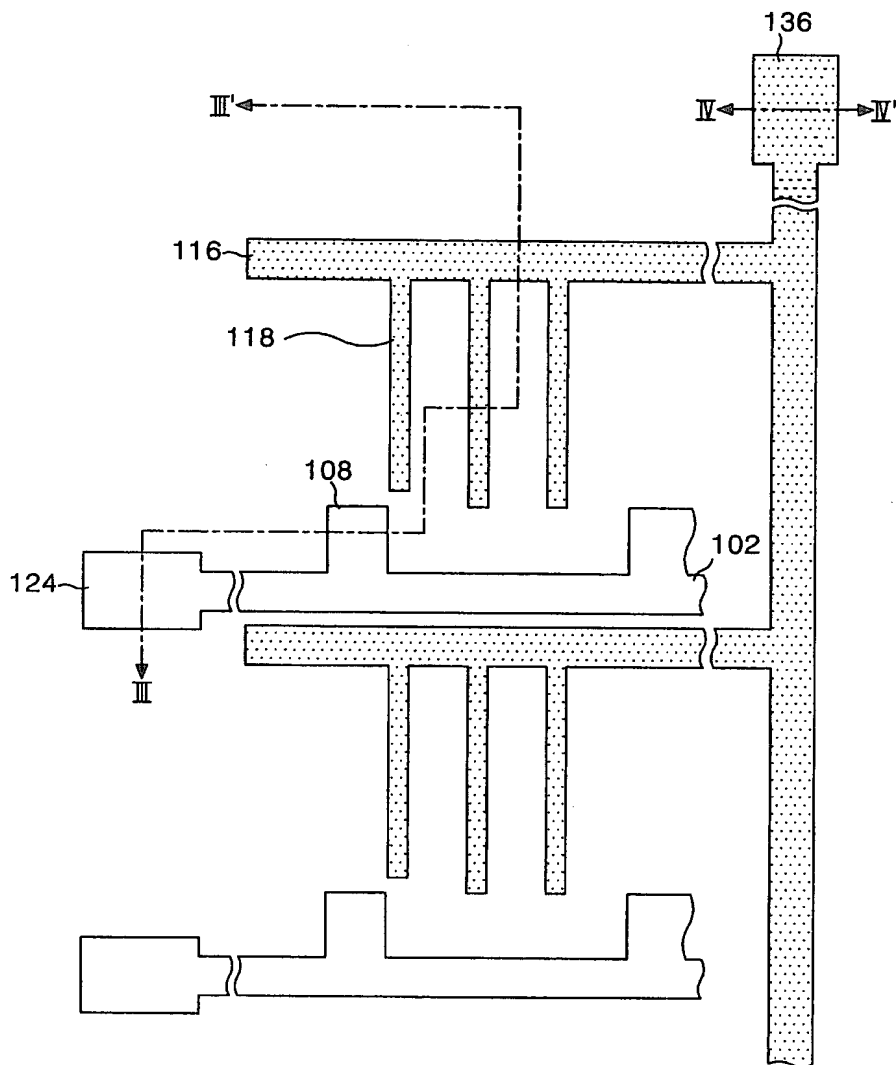
【도 4】



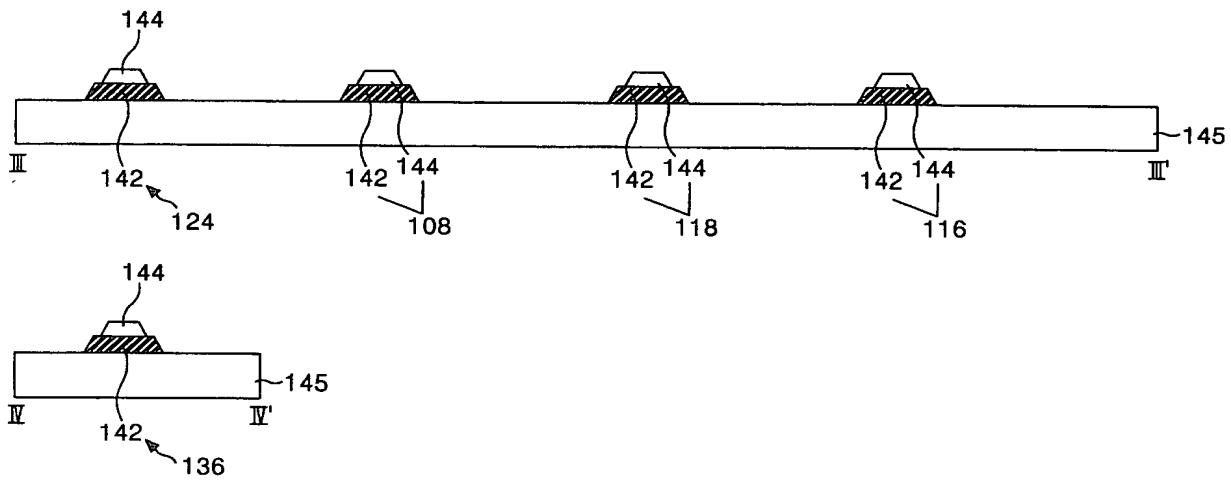
【도 5】



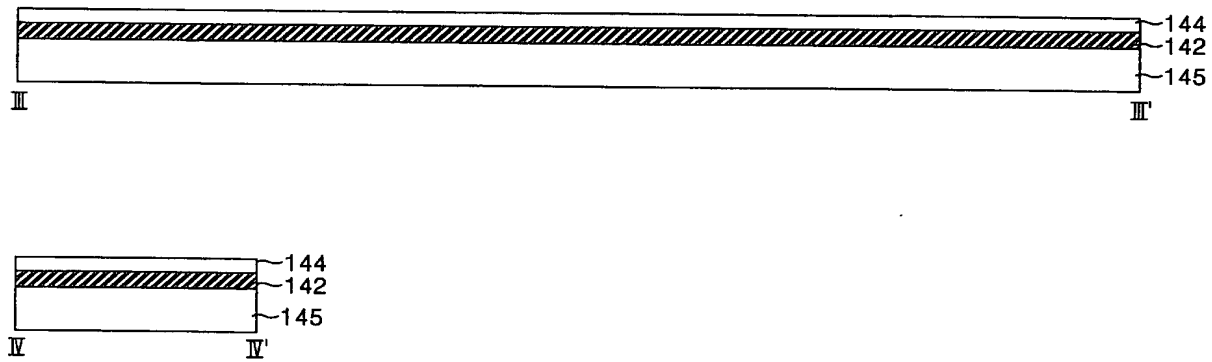
【도 6a】



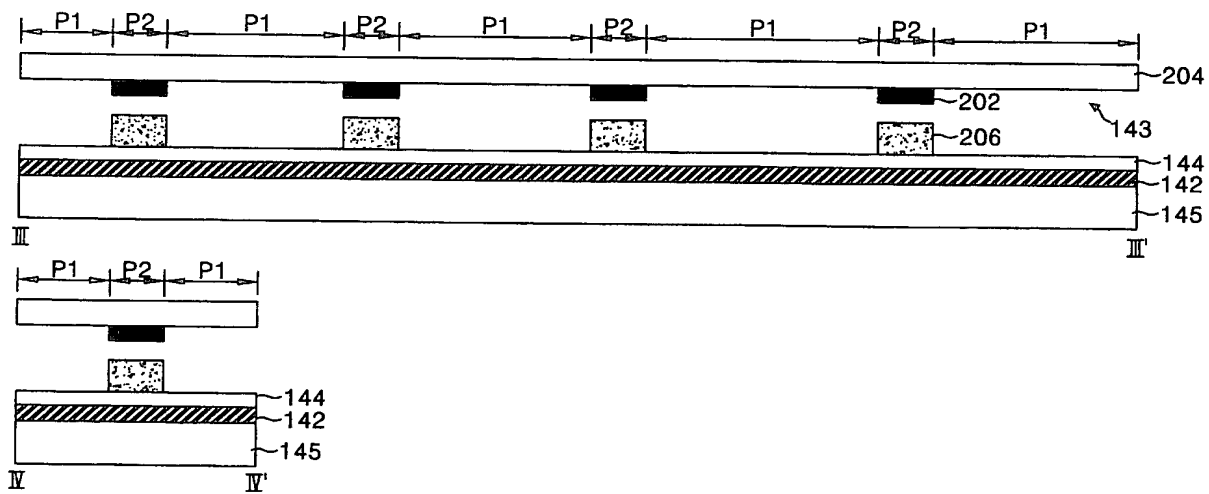
【도 6b】



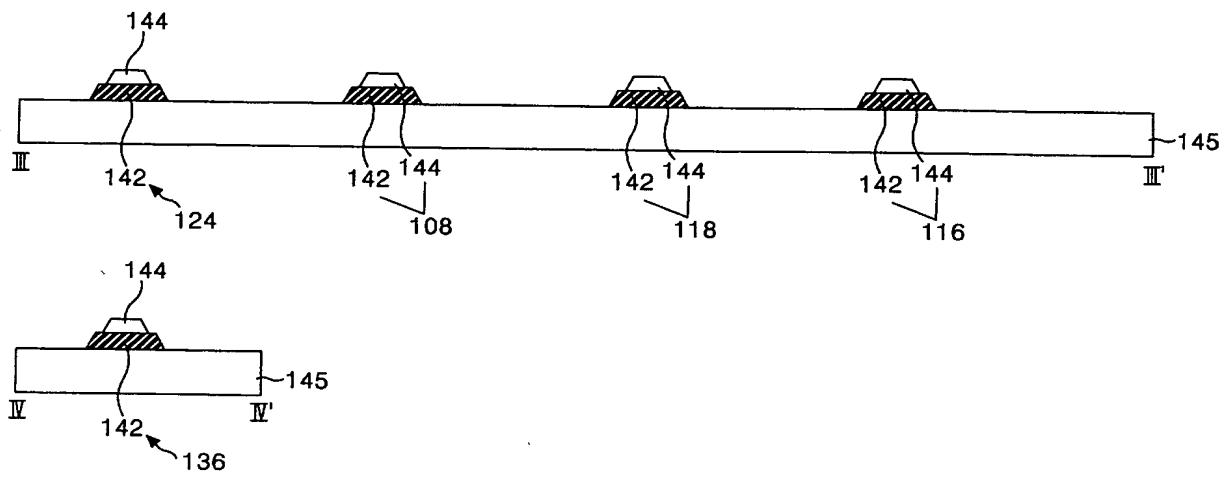
【도 7a】



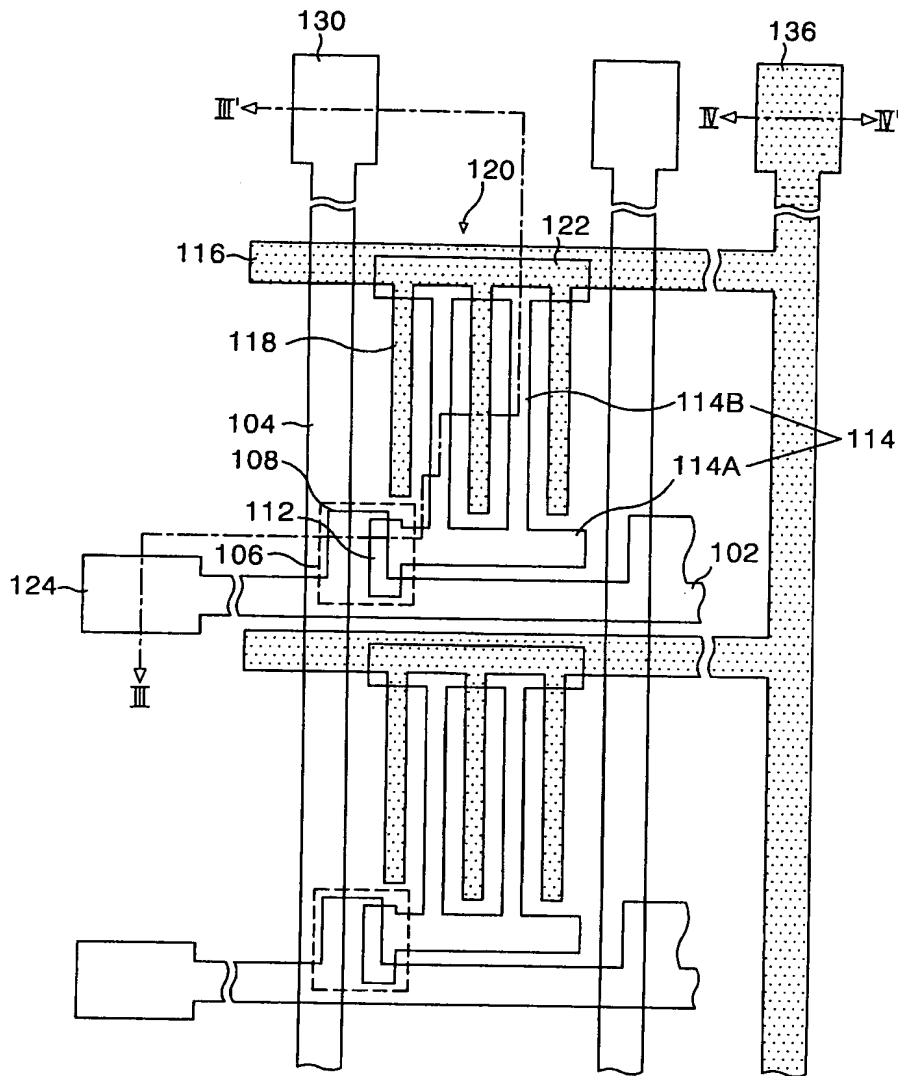
【도 7b】



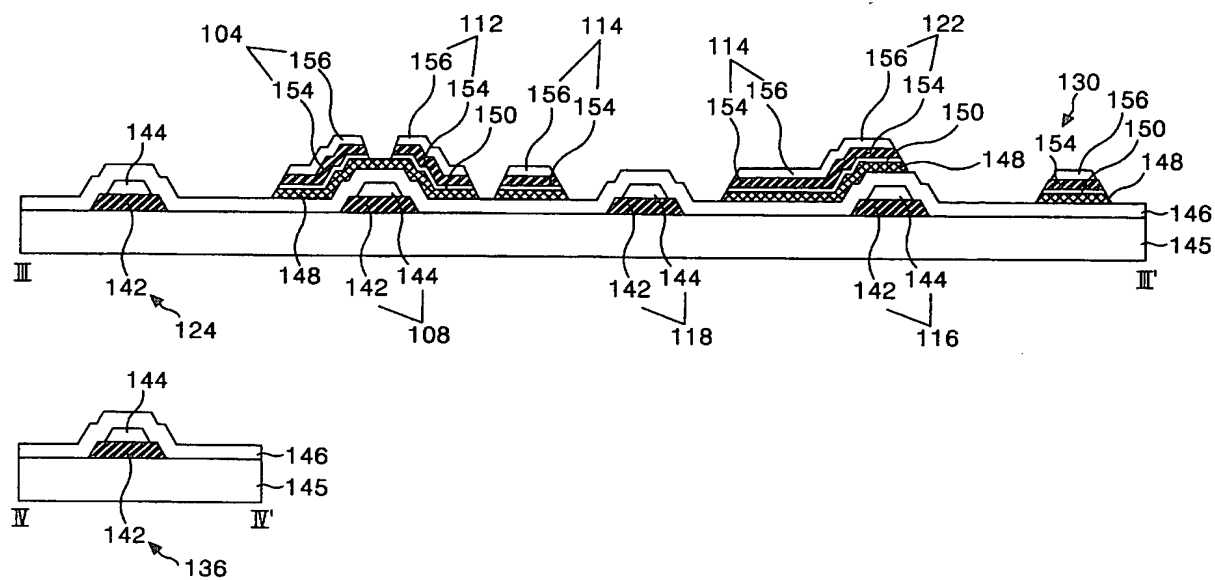
【도 7c】



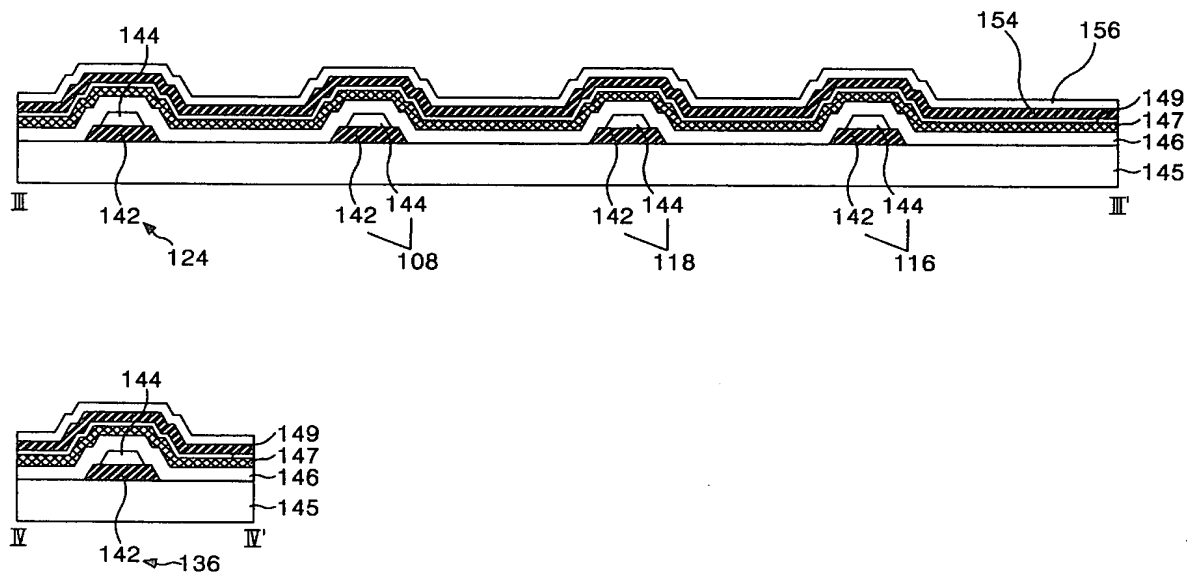
【도 8a】



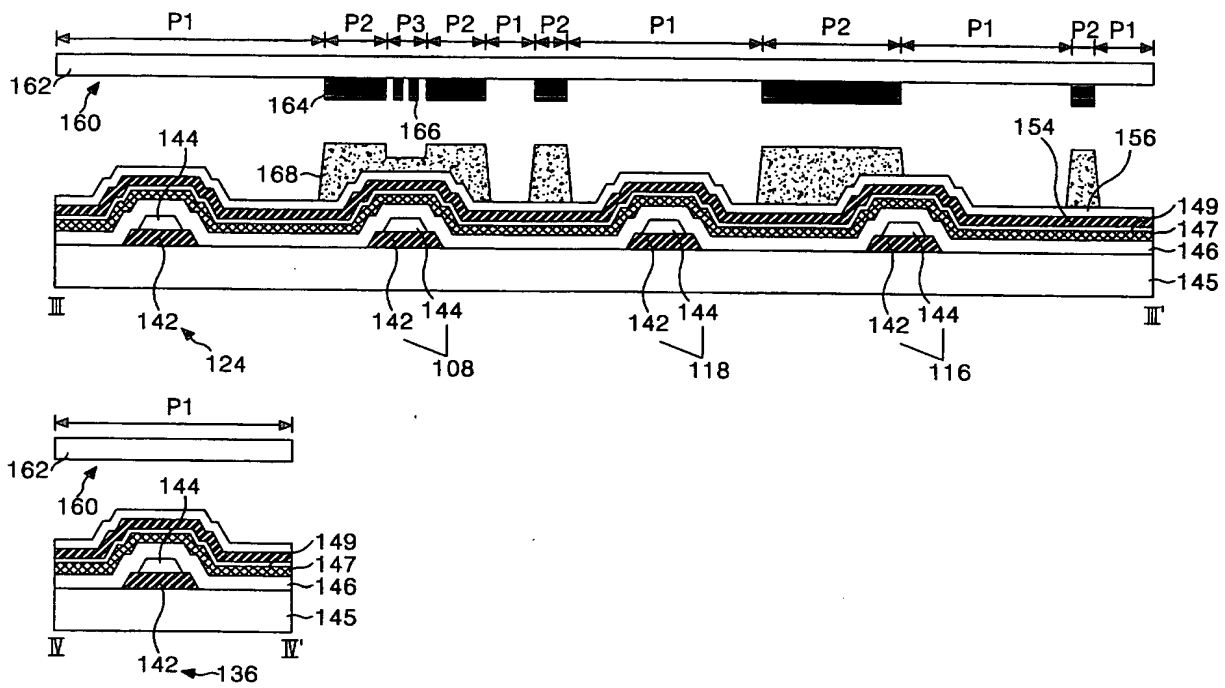
【도 8b】



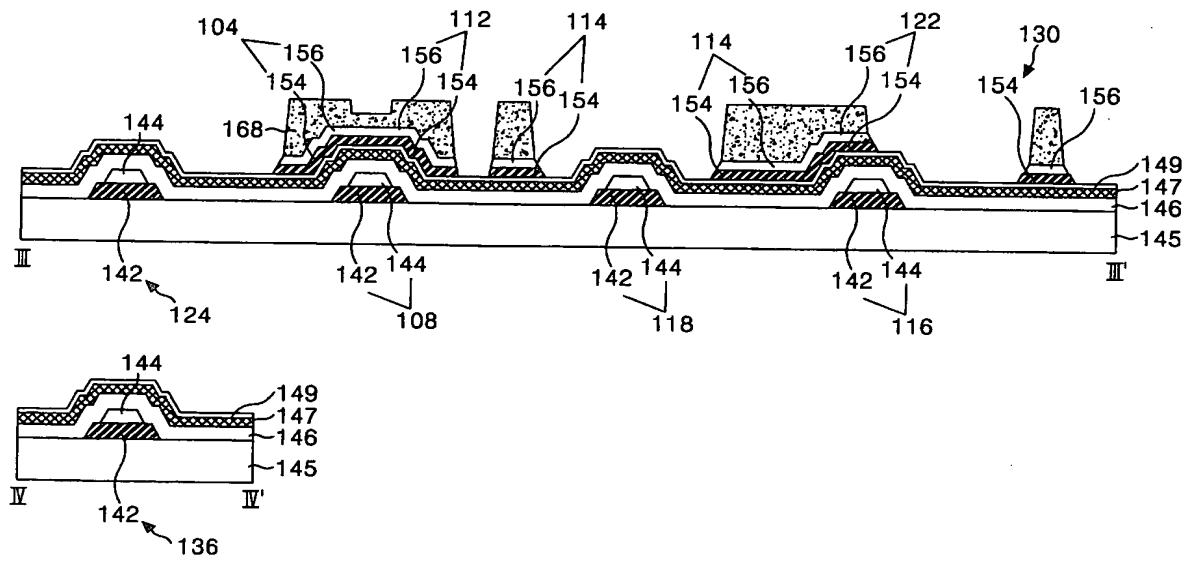
【도 9a】



【도 9b】

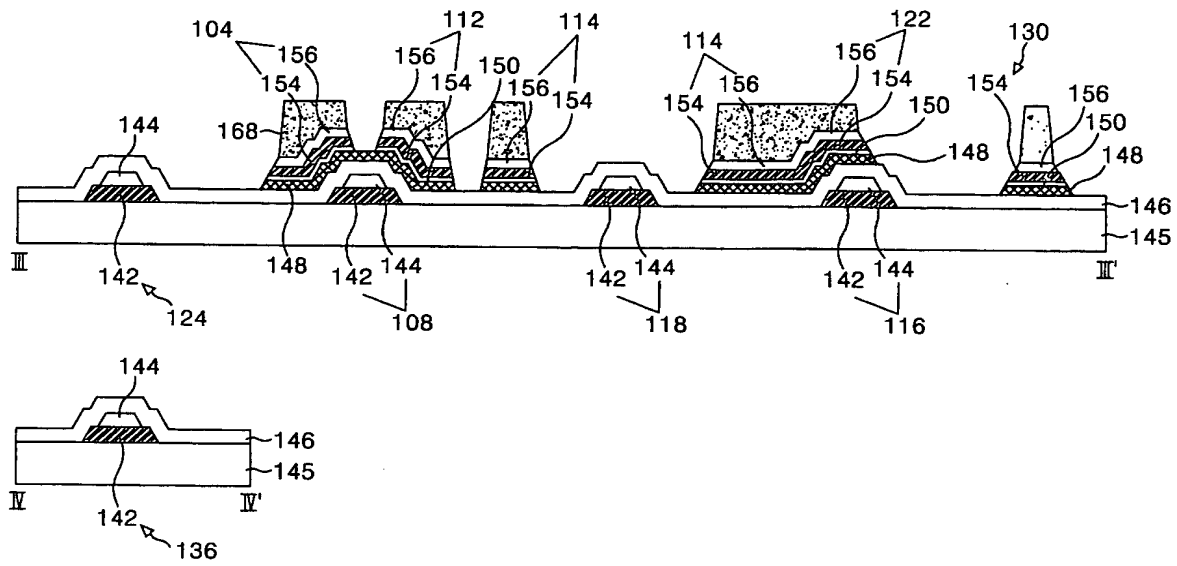


【도 9c】

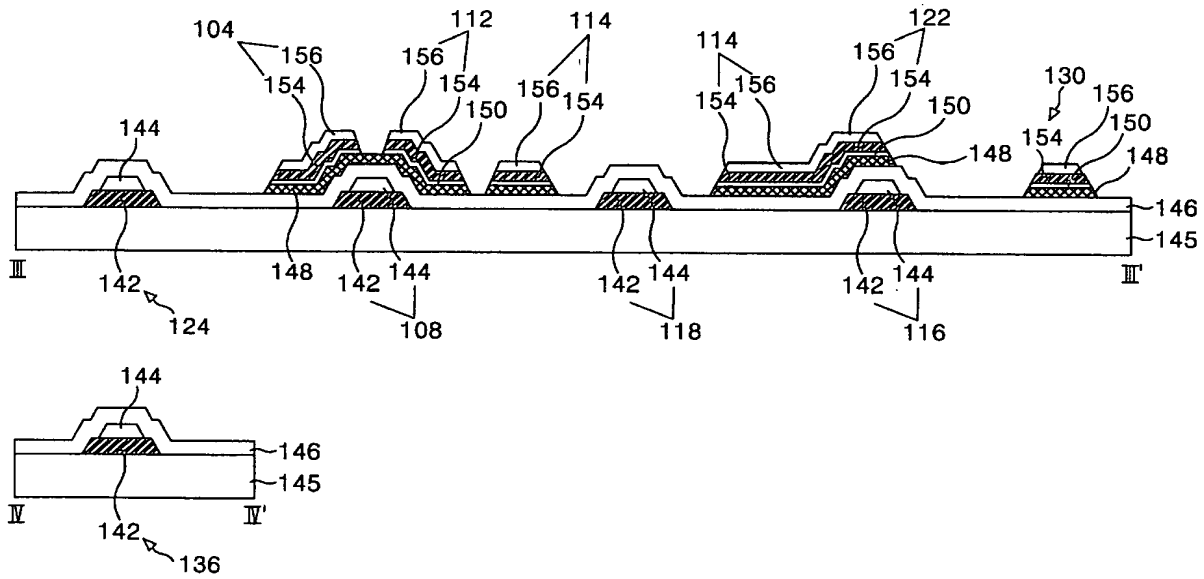




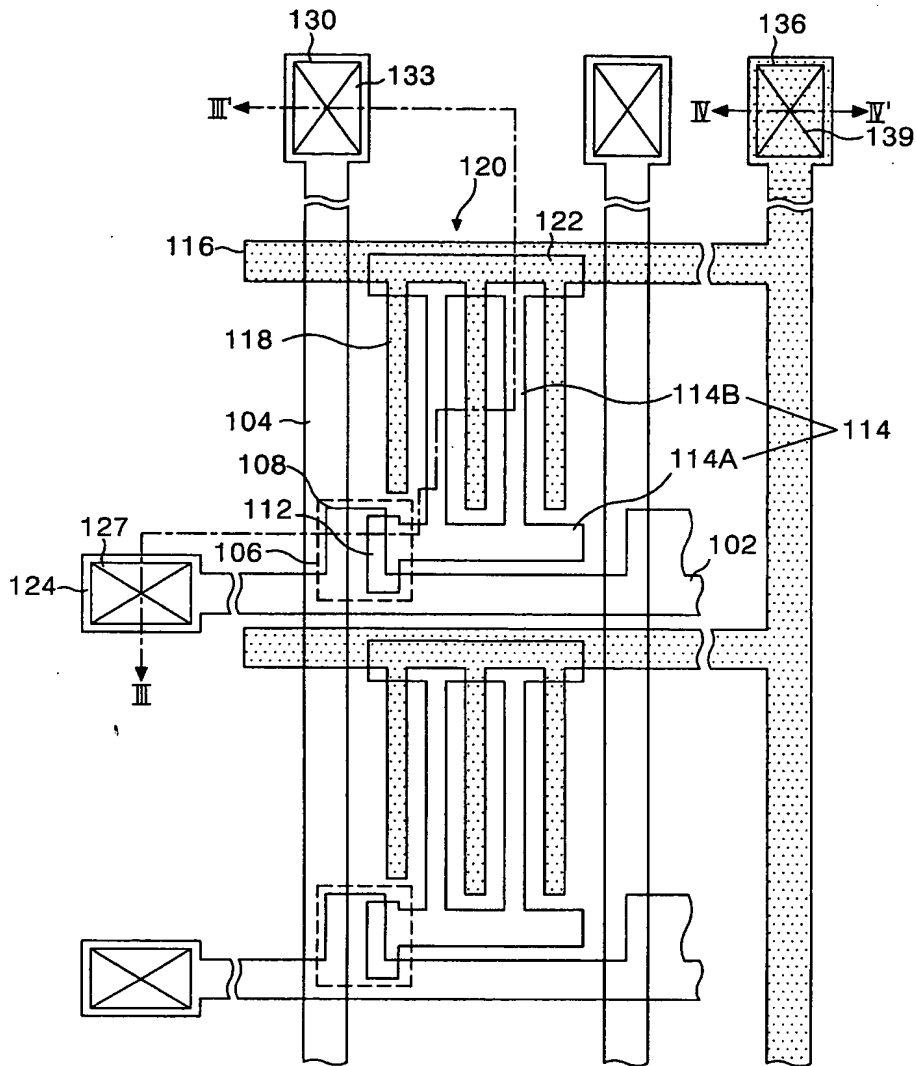
【도 9d】



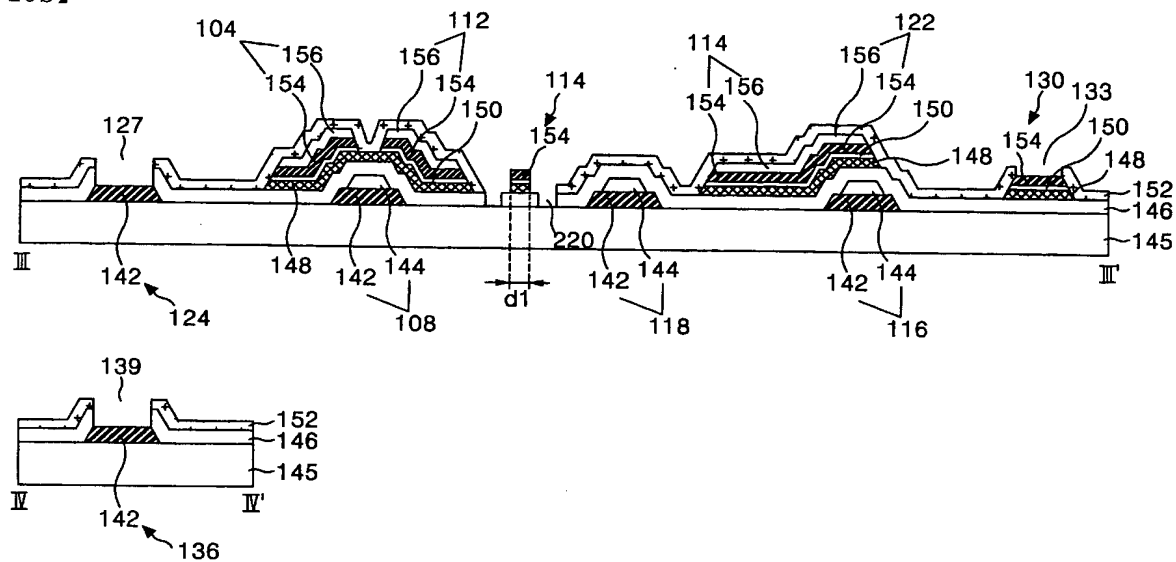
【도 9e】



【도 10a】



【도 10b】



【도 11a】

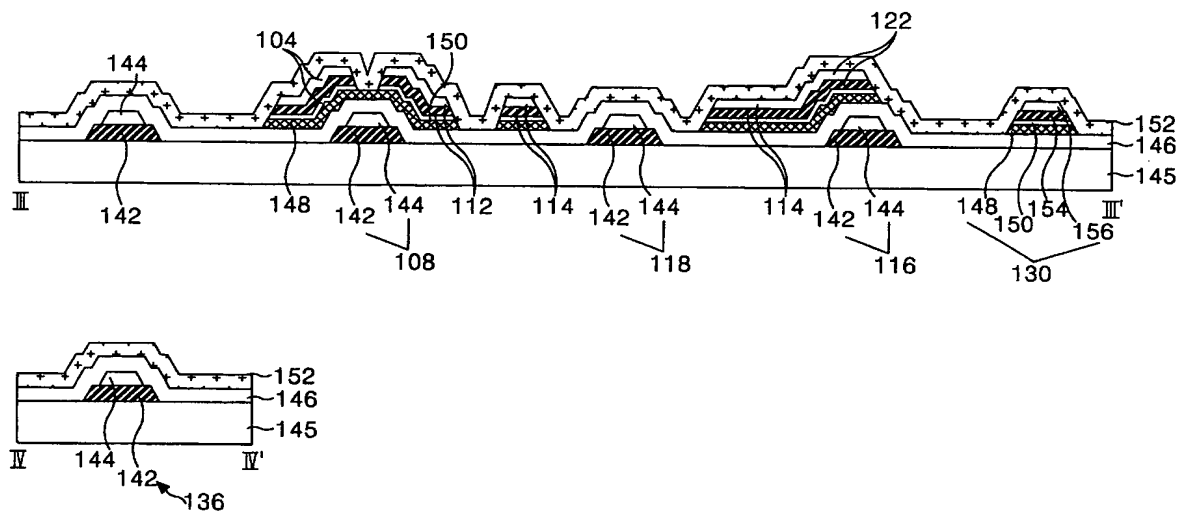
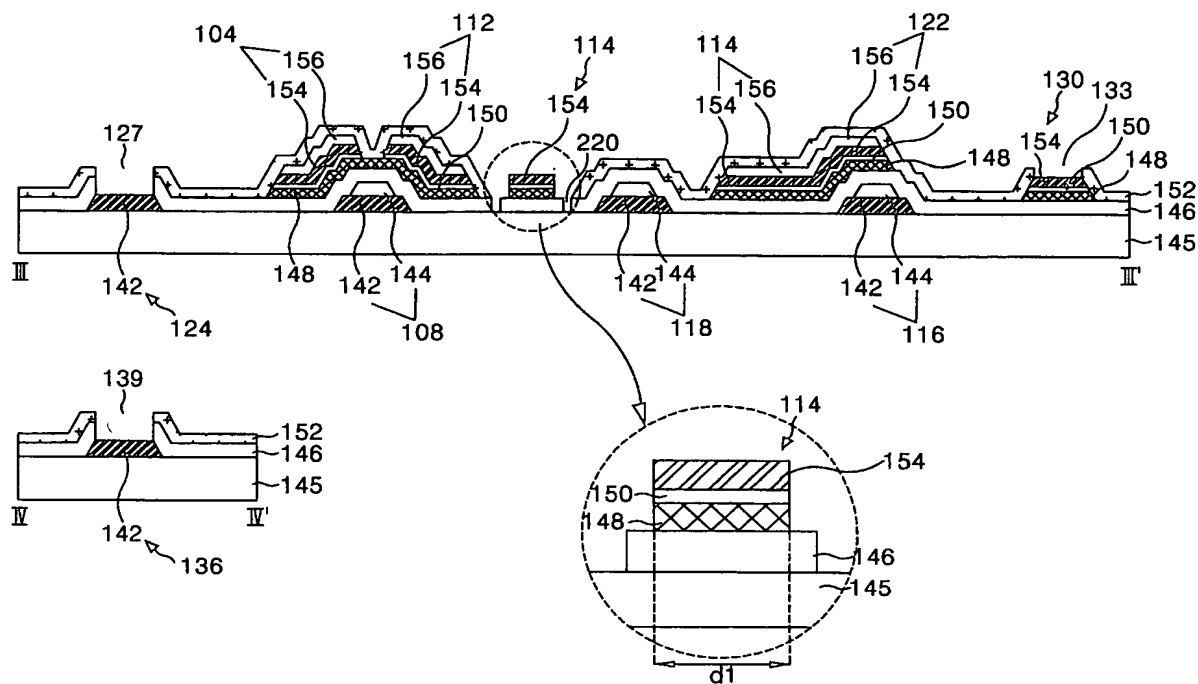
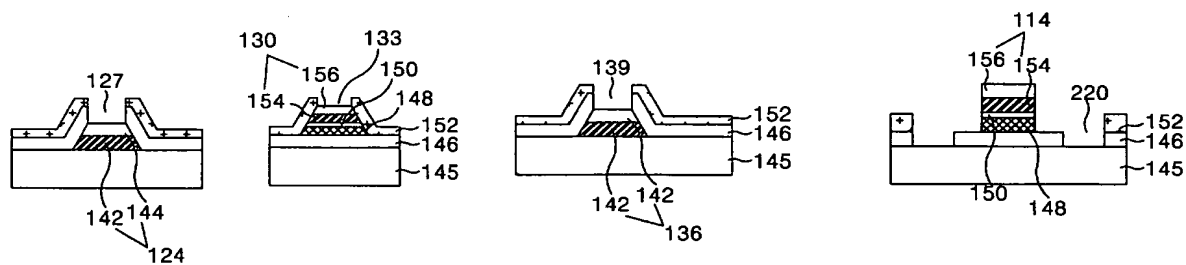


Figure 1 consists of three cross-sectional views of a semiconductor device.
 (I) is a top view showing a periodic array of structures. The structures are defined by regions P1 and P2. The top surface is labeled 214, and the bottom surface is labeled 212.
 (II) is a cross-sectional view taken along line III-III'. It shows a central region 122 surrounded by a material 216. The structure consists of multiple layers: 142, 144, 146, 148, 150, 152, 154, and 156. The central region 122 is filled with a material 104. The bottom surface is labeled 145.
 (III) is a cross-sectional view taken along line IV-IV'. It shows a single structure with layers 142, 144, 146, 148, 150, 152, 154, and 156. The central region is labeled 136. The bottom surface is labeled 145.

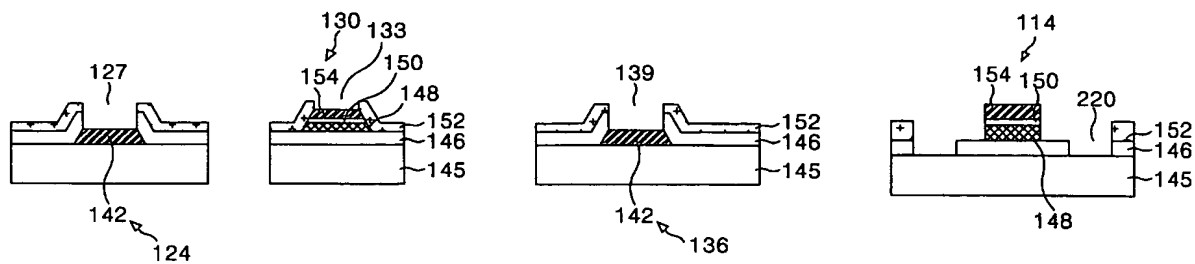
【도 11d】



【도 12】

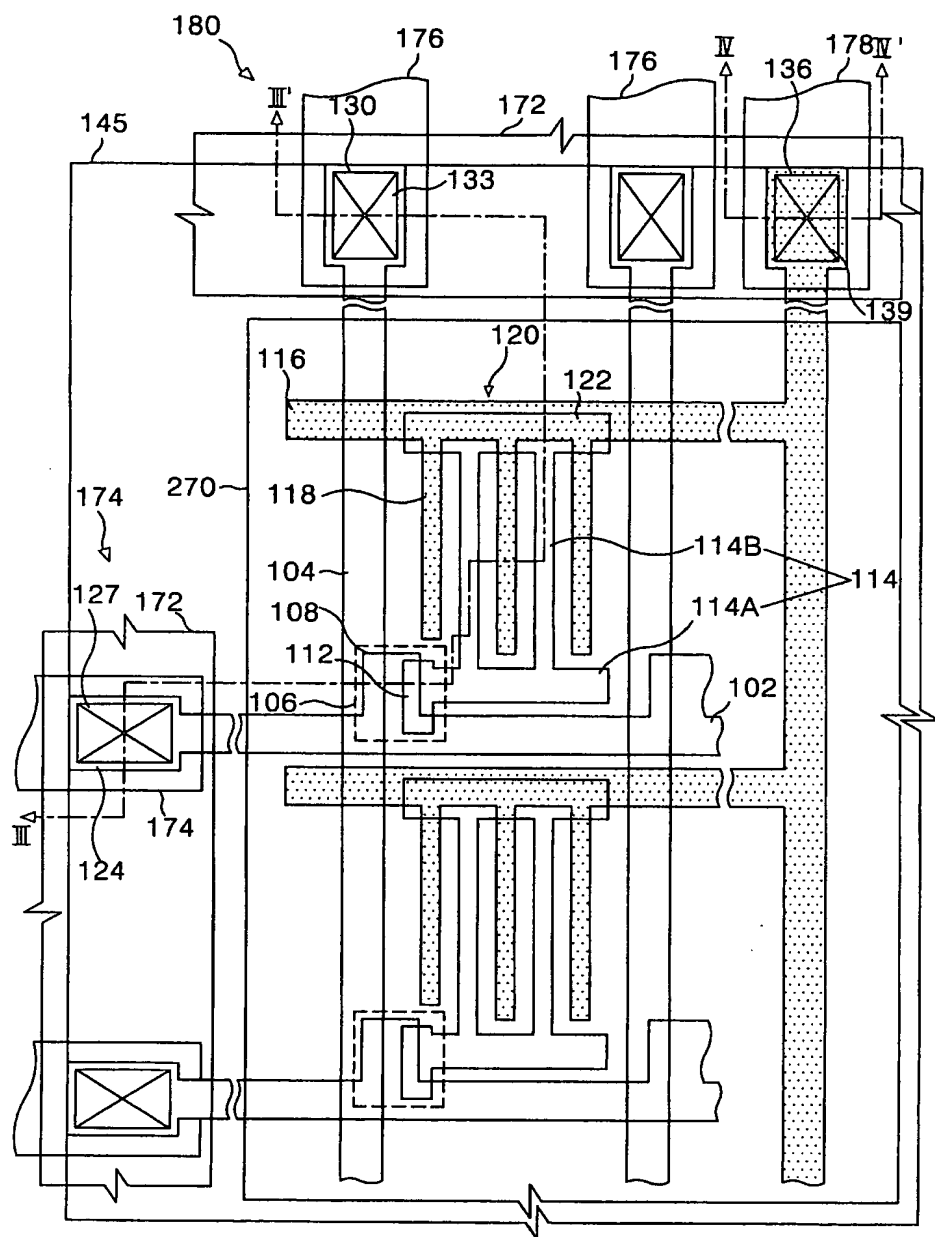


【도 13】





【도 14】



【도 15】

